

TRABAJO FINAL DE GRADO

Grado en Ingeniería Electrónica Industrial y Automática

DISEÑO DE UN AMPLIFICADOR DE AUDIO EN CLASE D



Memoria y Anexos

Autor: Óscar Jiménez Torrejón
Director: Guillermo Velasco Quesada
Convocatoria: septiembre 2018

Resum

Aquest treball recull el procés de disseny d'un amplificador d'àudio en classe D.

Els primers apartats realitzen una introducció a les diferents classes d'amplificadors d'àudio més presents avui dia. Després d'aquesta presentació, s'entrarà més en detall del funcionament i aspectes a tenir en compte per una amplificador en classe D.

El cos d'aquest treball descriu el procés de disseny seguit. Començant per una explicació dels diferents blocs i càlculs realitzats per la implementació del prototip final.

Per últim, s'exposaran els resultats experimentals obtinguts del circuit, junt amb una explicació de les possibles millores a realitzar en dissenys futurs, un anàlisi de costos i un anàlisi del impacte mediambiental.

Resumen

Este trabajo recoge el proceso de diseño para un amplificador de audio en clase D.

Los primeros apartados realizan una introducción a las diferentes clases de amplificadores de audio más presentes hoy en día. Tras esta presentación, se entrará en más detalle con el funcionamiento y aspectos a tener en cuenta para un amplificador en clase D.

El cuerpo de este trabajo describe el proceso de diseño seguido. Empezando por una explicación de los diferentes bloques y cálculos realizados para terminar con la implementación final del prototipo.

Por último, se expondrán los resultados experimentales obtenidos del circuito, junto con una explicación de las posibles mejoras a realizar en diseños futuros, un análisis de costes y un análisis del impacto medioambiental.

Abstract

This document contains the process in the design of a class D audio amplifier.

The first chapters realize an introduction of the different classes of audio amplifiers that are more relevant nowadays. After that, the functions and the issues to consider in a class D amplifier will be explained.

The body of the document describes the design process. Starting with an explanation of the different blocs and calculations to finish with the implementation of the final prototype.

Finally, the experimental results will be exposed with an explanation of the possible improvement in future designs, a cost analysis and an environmental analysis.

Agradecimientos

Me gustaría mencionar a todas aquellas personas que han estado a mi lado y me han apoyado durante estos años de carrera.

Agradecer a mis abuelos por estar siempre dándome ánimos. A mis padres por aguantar mis más y mis menos durante todos estos años y a enseñarme que con trabajo duro y dedicación uno puede hacer todo lo que se propone. A mi hermano por animarme y ayudarme a desconectar cuando más lo necesitaba, por ser esa persona que me sacaba una sonrisa hasta en los peores momentos.

Por supuesto, tengo que dar las gracias a Bianca. Esa persona tan especial que ha dado todo y más por ayudarme cuando necesitaba ayuda, por decirme lo que valía cuando ni yo lo sabía y por ser parte de este y muchos de mis proyectos.

También, dar las gracias a mi compañero Álvaro por estar siempre allí cuando más necesitaba un amigo y por todos esos buenos y malos momentos pasados a lo largo de estos años.

Y, por último, pero no menos importante. A mi profesor en este proyecto, Guillermo. Me gustaría darle las gracias por todo el tiempo y paciencia invertidos en mí, digamos que no soy el mejor alumno que uno puede tener, pero y pese a todo, puedo afirmar sin miedo a equivocarme que él sí es uno de los mejores profesores que he conocido.



Glosario

| | |
|--------|---|
| ADC | Analog-to-Digital Converter |
| DC | Direct Current |
| EMI | Electromagnetic Interference |
| LED | Light-Emitting Diode |
| MOSFET | Metal Oxide Semiconductor Field Effect Transistor |
| PCB | Printed Circuit Board |
| PWM | Pulse Width Modulation |
| RoHs | Restriction of Hazardous substances |
| THD | Total Harmonic Distortion |
| WEEE | Waste Electrical and Electronic Equipment |

Lista de figuras

Figura 3.1 Esquema básico de un amplificador de audio en Clase A (Fuente: propia)

Figura 3.2 Esquema básico de una amplificador en clase B push-pull de simetría completa (Fuente: propia)

Figura 3.3 Esquema básico de una amplificador en clase AB push-pull de simetría completa (Fuente: propia)

Figura 3.4 Esquema básico de una amplificador en clase D con topología en medio puente (Fuente: propia)

Figura 3.5 Configuración en medio puente (Fuente: propia)

Figura 3.6 Configuración en puente completo (Fuente: propia)

Figura 3.7 Half-Bridge, caminos de corriente (Fuente: (2))

Figura 3.8 Full-Bridge, caminos de corriente (Fuente: (2))

Figura 3.9 Esquema básico de un modulador PWM (Fuente: (3))

Figura 3.10 Esquema básico de un modulador Delta-Sigma (Fuente: (3))

Figura 4.1 Diagrama de bloques del sistema completo (Fuente: propia)

Figura 4.2 Tiempo de encendido (izquierda) y apagado (derecha) de un transistor MOSFET (Fuente: (4))

Figura 4.3 Potencia disipada (1a Búsqueda) (Fuente: propia)

Figura 4.4 Potencia disipada (2a Búsqueda) (Fuente: propia)

Figura 4.5 Esquema básico del driver IRS20957S (Fuente: (6))

Figura 4.6 Esquema de circuito – Low side driver (Fuente: propia)

Figura 4.7 Esquema de circuito – High side driver (Fuente: propia)

Figura 4.8 Esquema del circuito para la programación del dead time (Fuente: (6))

Figura 4.9 Esquema final – Driver de control (medio puente) (Fuente: propia)

Figura 4.10 Esquema de la etapa de salida en configuración puente completo (Fuente: propia)

Figura 4.11 Esquema propuesto para el filtro de salida (Fuente: propia)

Figura 4.12 Circuito equivalente al filtro de salida del puente (Fuente: propia)

Figura 4.13 Esquema final – Filtro de salida (Fuente: propia)

Figura 4.14 Esquema básico del LTC6992 (Fuente: (9))

Figura 4.15 Esquema de control de los drivers en un puente completo (Fuente: propia)

Figura 4.16 Esquema final – Etapa de modulación (Fuente: propia)

Figura 4.17 Esquema de la etapa preamplificadora (Fuente: propia)

Figura 4.18 Niveles de tensión máximos de salida en la etapa preamplificadora (Fuente: propia)

Figura 4.19 Esquema para la simulación de la etapa preamplificadora (Fuente: propia)

Figura 4.20 Gráfica de simulación etapa preamplificadora – Señal de entrada (Azul), señal de salida amplificación (Roja) (Fuente: propia)

Figura 4.21 Gráfica de simulación etapa preamplificadora – Entrada etapa moduladora (Fuente: propia)

Figura 4.22 Gráfica de simulación etapa preamplificadora – Comportamiento frecuencia de la salida tras la amplificación (Fuente: propia)

Figura 4.23 Esquema final – Etapa preamplificadora (Fuente: propia)

Figura 4.24 Esquema de funcionamiento mínimo del 171032401 (Fuente: (10))

Figura 4.25 Esquema de funcionamiento mínimo del 173010542 (Fuente: (11))

Figura 4.26 Esquema final - Alimentación de 12 V (Fuente: propia)

Figura 4.27 Esquema final - Alimentación de 5 V (Fuente: propia)

Figura 5.1 Layout de la cara superior de la PCB (Fuente: propia)

Figura 5.2 Layout de la cara inferior de la PCB (Fuente: propia)

Figura 5.3 Distribución de bloques en la PCB – Drivers (rojo), filtro de salida (naranja), preamplificadora (azul) y alimentaciones (verde) (Fuente: propia)

Figura 5.4 Caminos de corriente en el encendido del MOSFET inferior (Fuente: propia)

Figura 5.5 Caminos de corriente en el encendido del MOSFET superior (Fuente: propia)

Figura 5.6 Diodos de Turn-off (Fuente: propia)

Figura 5.7 Fuentes de posibles inductancias parasitas (Fuente: propia)

Figura 5.8 Posición del condensador en el integrado de preamplificación (Fuente: propia)

Figura 5.9 Posición de los condensadores en el driver – Estabilización de las alimentaciones (verde), Desacoplo de corrientes con altas frecuencias (amarillo) (Fuente: propia)

Figura 5.10 Posición de los condensadores en el puente de salida – Camino del corriente de recuperación en inversa (derecha), Posición de los condensadores en el puente (izquierda) (Fuente: propia)

Figura 5.11 Planos de masa realizados en la PCB (Fuente: propia)

Figura 6.1 Señal de entrada a la etapa preamplificadora (traza inferior); Señal de salida, $A_v = 1$ (traza superior). Escalas de tensión: CH1 500 mV/DIV, CH2: 500 mV/DIV. Escala de tiempos: 20 μ s/DIV.

Figura 6.2 Señal de entrada a la etapa preamplificadora (traza inferior); Señal de salida, $A_v = 6$ (traza superior). Escalas de tensión: CH1 500 mV/DIV, CH2: 1 V/DIV. Escala de tiempos: 20 μ s/DIV.

Figura 6.3 Señal de entrada a la etapa preamplificadora (traza inferior); Señal de entrada a la etapa moduladora, $A_v = 1$ (traza superior). Escalas de tensión: CH1 500 mV/DIV, CH2: 200 mV/DIV. Escala de tiempos: 20 μ s/DIV.

Figura 6.4 Señal de entrada a la etapa preamplificadora (traza inferior); Señal de entrada a la etapa moduladora, $A_v = 6$ (traza superior). Escalas de tensión: CH1 500 mV/DIV, CH2: 100 mV/DIV. Escala de tiempos: 20 μ s/DIV.

Figura 6.5 Señal de entrada a la etapa moduladora (traza superior); Modulación obtenida en la salida, duty cycle del 5% (traza inferior). Escalas de tensión: CH1 1 V/DIV, CH2: 2 V/DIV. Escala de tiempos: 800 ns/DIV.

Figura 6.6 Señal de entrada a la etapa moduladora (traza superior); Modulación obtenida en la salida, duty cycle del 50% (traza inferior). Escalas de tensión: CH1 1 V/DIV, CH2: 2 V/DIV. Escala de tiempos: 800 ns/DIV.

Figura 6.7 Señal de entrada a la etapa moduladora (traza superior); Modulación obtenida en la salida, duty cycle del 95% (traza inferior). Escalas de tensión: CH1 1 V/DIV, CH2: 2 V/DIV. Escala de tiempos: 800 ns/DIV.

Figura 6.8 Señal de entrada a la etapa moduladora (traza superior); Señal obtenida a la salida (traza inferior). Escalas de tensión: CH1 500 mV/DIV, CH2: 2 V/DIV. Escala de tiempos: 10 μ s/DIV.

Figura 6.9 Imagen de la PCB – LED indicador de error (Fuente: propia).

Figura 6.10 Esquema del circuito para el sensado de corriente en el driver (Fuente: (6)).

Figura 6.11 Circuito de carga para los condensadores de boot strap (Fuente: propia).

Figura 6.12 Señal PWM de entrada (traza superior); Señal de control para el MOSFET superior (traza inferior). Escalas de tensión: CH1 2 V/DIV, CH2: 10 V/DIV. Escala de tiempos: 800 ns/DIV.

Figura 6.13 Señal PWM de entrada (traza superior); Señal de control para el MOSFET inferior (traza inferior). Escalas de tensión: CH1 2 V/DIV, CH2: 10 V/DIV. Escala de tiempos: 800 ns/DIV.

Figura 6.14 Señal PWM de entrada (traza azul); Señal de encendido en el MOSFET superior (traza amarilla). Escalas de tensión: CH1 5 V/DIV, CH2: 1 V/DIV. Escala de tiempos: 200 ns/DIV.

Figura 6.15 Señal PWM de entrada (traza superior); Señal de apagado en el MOSFET inferior (traza amarilla). Escalas de tensión: CH1 5 V/DIV, CH2: 1 V/DIV. Escala de tiempos: 200 ns/DIV.

Figura 6.16 Señales de salida para los dos semipuentes – Entrada de control con un duty cycle menor al 50% Escalas de tensión: CH1 10 V/DIV, CH2: 10 V/DIV. Escala de tiempos: 800 ns/DIV.

Figura 6.17 Imagen de la PCB - Montaje realizado para medir la salida en el puente completo.

Figura 6.18 Salida de los semipuentes después del filtro demodulador (CH1 y CH2); Señal aplicada sobre la carga, diferencia entre CH1 y CH2 (Math); Ganancia máxima. Escalas de tensión: CH1 5 V/DIV, CH2: 5 V/DIV, Math: 5 V/DIV. Escala de tiempos: 10 μ s/DIV.

Figura 6.19 Señal aplicada sobre la carga, diferencia entre CH1 y CH2 (Math). Escalas de tensión: Math: 5 V/DIV. Escala de tiempos: 10 μ s/DIV.

Figura 6.20 Señal de entrada al circuito (traza superior); Señal aplicada sobre la carga, salida del puente (traza inferior). Escalas de tensión: CH1 500 mV/DIV, CH2: 500 mV/DIV. Escala de tiempos: 10 μ s/DIV.

Figura 6.21 FFT de la señal obtenida en la salida de un medio puente, antes del filtrado. Escala de amplitudes: 20 dB/DIV. Escala de frecuencias: 50 kHz/DIV.

Figura 6.22 FFT de la señal de salida del circuito, después del filtrado. Escala de amplitudes: 20 dB/DIV. Escala de frecuencias: 50 kHz/DIV.

Figura A3.1 Esquema del filtro LC para el filtrado de la alimentación.

Índex

| | |
|--|------------|
| RESUM | I |
| RESUMEN | II |
| ABSTRACT | III |
| AGRADECIMIENTOS | IV |
| GLOSARIO | VI |
| LISTA DE FIGURAS | VII |
| 1. PREFACIO | 1 |
| 1.1. Motivación | 1 |
| 1.2. Requerimientos previos..... | 2 |
| 2. INTRODUCCIÓN | 3 |
| 2.1. Objetivos del trabajo | 3 |
| 2.2. Alcance del trabajo | 4 |
| 3. TRASFONDO TEÓRICO | 5 |
| 3.1. Clases de amplificadores de audio | 5 |
| 3.2. Topologías de un Clase D..... | 9 |
| 3.2.1. Medio puente (<i>Half-Bridge</i>)..... | 9 |
| 3.2.2. Puente completo (<i>H-Bridge</i>) | 10 |
| 3.2.3. Comparación entre Half-Bridge y H-Bridge | 10 |
| 3.3. Técnicas de modulación | 13 |
| 3.3.1. Modulación PWM | 13 |
| 3.3.2. Modulación Delta-Sigma ($\Delta\Sigma$) | 15 |
| 4. DISEÑO DEL AMPLIFICADOR | 16 |
| 4.1. Etapa de potencia | 17 |
| 4.1.1. Topología del amplificador | 17 |
| 4.1.2. MOSFETs | 17 |
| 4.1.3. Driver | 23 |
| 4.1.4. Filtro de salida | 28 |
| 4.2. Etapa de modulación | 32 |
| 4.3. Etapa preamplificadora | 35 |
| 4.4. Alimentaciones | 40 |

| | | |
|-----------|--|-----------|
| 5. | DISEÑO DE LA PCB | 43 |
| 5.1. | Layout | 44 |
| 5.1.1. | Distribución de componentes | 44 |
| 5.1.2. | Layout del driver | 45 |
| 5.1.3. | Condensadores | 49 |
| 5.2. | Dimensionamiento de pistas | 51 |
| 5.3. | Grounding | 52 |
| 6. | PUESTA A PUNTO DEL PROTOTIPO | 53 |
| 6.1. | Alimentación de la placa | 53 |
| 6.2. | Etaa preamplificadora | 53 |
| 6.3. | Etaa moduladora | 56 |
| 6.4. | Driver | 58 |
| 6.5. | Salida del puente | 62 |
| 7. | ANÁLISIS DEL IMPACTO AMBIENTAL | 69 |
| | CONCLUSIONES | 71 |
| | PRESUPUESTO I/O ANÁLISIS ECONÓMICO | 73 |
| | BIBLIOGRAFÍA | 76 |
| | ANEXO A | 77 |
| A1. | Cálculos: Integrado de alimentación | 77 |
| A2. | Código Matlab para el graficado de pérdidas en transistores MOSFET | 82 |
| A3. | Esquemático de la PCB | 88 |

1. Prefacio

En este apartado es una introducción a las bases sobre las que se asienta este trabajo. El objetivo es el de poder mostrar las ideas, las motivaciones y el trabajo no reflejado en este trabajo y que ha ayudado en el desarrollo de este.

1.1. Motivación

Se podría decir que el origen de este trabajo y la motivación para la realización de este son la misma cosa.

Durante los últimos años de carrera se han adquirido conocimientos que han suscitado cierto interés en esta clase de circuitos y todo su trasfondo.

Tras empezar con asignaturas propias de la modalidad electrónica y los diferentes trabajos presentados en ellas, despertaron la idea de implementar esta clase de amplificadores. Fue por una parte motivación puesto que se necesitaban muchos conocimientos no adquiridos durante la carrera y, por otro lado, motivo de desánimo dado que en algunas de estas asignaturas no se consiguió alcanzar el funcionamiento completo de esta topología.

Pese a esto, las ganas y el empeño por aprender más sobre este tipo de amplificador no cesaron, llegando a ser presentado como Trabajo Final de Grado. Se podría decir que se encontraron 99 maneras de cómo no hacer un amplificador en clase D.

1.2. Requerimientos previos

Para la realización de este trabajo se han adquirido conocimientos gracias a asignaturas relacionadas con el tópico o con el estudio personal de estos conceptos. Pese a no estar reflejados por completo en este trabajo, permiten marcar unas bases para la comprensión completa de este:

- **Audio:** Tras el estudio de los amplificadores de audio en ciertas asignaturas, la visión global adquirida durante cierta optativa ha permitido la comprensión rápida de conceptos relacionados con esta clase de circuitos.
- **MOSFET:** Pese a ser presentado como un simple interruptor, el conocimiento a nivel teórico de este componente permite entender apartados menos intuitivos de su comportamiento en altas frecuencias.
- **Convertidores:** El estudio de circuitos convertidores continua-continua (DC-DC) e inversores. La topología que este tipo de circuitos es muy parecida, por no decir la misma, a la que conforma un amplificador de audio en clase D.
- **Filtrado de señales:** Como se verá, el filtrado de las señales en esta clase de circuitos es necesario. Las ecuaciones presentadas en los apartados de cálculo para estos filtros, no son triviales y el hecho de saber su deducción ha ayudado en la comprensión del procedimiento adoptado.
- **PCB:** El diseño de placas de circuito impreso implica una serie de conocimientos no adquiridos durante la carrera. De no ser por ellos, el tiempo para la implementación de este circuito habrían sido mayores.
- **Interferencias:** El estudio de las interferencias engloba tantos conceptos que la mera explicación de ellos sería un trabajo en sí. Pese a esto, el conocimiento de su existencia, de las posibles causas de su aparición y factores a tener en cuenta, permiten enfocar el diseño de otra manera para minimizar sus efectos sobre el circuito.

2. Introducción

2.1. Objetivos del trabajo

El objetivo de este trabajo es el de diseñar y fabricar un amplificador de audio en clase D. Para alcanzar esta meta, se puede realizar una separación en objetivos de diseño y en objetivos de fabricación y estudio del circuito.

En lo que respecta al diseño. Se busca la ampliación de los conceptos que engloba a esta clase circuito y de los diferentes elementos que lo conforman:

- Estudio y ampliación de conocimiento en transistores MOSFET.
- Técnicas de modulación.
- Filtrado de señales.
- Diseño de etapas de potencia.
- Estudio del comportamiento en frecuencias de sistemas conmutados.

Por otro lado, los objetivos de fabricación y estudio del prototipo engloban las diferentes técnicas para la implementación física del circuito. También, poder valorar el correcto comportamiento del circuito y verificar si los datos obtenidos concuerdan con los esperados:

- Ampliación de conocimientos en el diseño e implementación de sistemas en placa de circuito impreso (PCBs).
- Con referencia al anterior punto. Entender los factores e implicaciones que tiene el *layout* de una PCB con el comportamiento en frecuencia del circuito.
- Realizar la correcta medición de las variables de interés obteniendo así mayor soltura en el uso de los diferentes equipos disponible en del laboratorio.

2.2. Alcance del trabajo

Puesto que el alcance que pueden llegar a tomar el diseño de un amplificador de audio en clase D puede ser muy extenso, se ha decidido limitar este a los siguientes apartados:

- Estudio de las diferentes topologías de amplificadores en clase D y las implicaciones de cada una de ellas en la respuesta final obtenida.
- Ampliación de conocimientos de la tecnología de transistores MOSFET y su comportamiento en circuitos conmutados. El objetivo es el de obtener un funcionamiento óptimo del transistor en el circuito.
- Filtrado de señales. Puesto que esta clase de circuitos presenta una gran cantidad de interferencias, se planteará el estudio y la implementación de distintos filtros que reduzcan estas perturbaciones.
- Diseño de PCBs con sistema conmutados de alta frecuencia. La implementación física del circuito depende en gran medida de la respuesta que pueda tener el amplificador. Se estudiarán los factores que puedan afectar a esta y las posibles soluciones aplicables.

3. Trasfondo teórico

En este apartado se realizará una explicación a nivel teórico de los conceptos que han llevado a decisiones tomadas durante el trabajo o a la existencia del mismo.

El primero de estos apartados realizará una introducción a los diferentes tipos de amplificadores de audio más utilizados en la electrónica. Una vez se conozcan estos y el motivo por el cual se ha decidido la implementación de un amplificador clase D, se explicarán conceptos relacionados con el mismo que permiten conocer el trasfondo de las decisiones adoptadas durante el proceso de diseño.

3.1. Clases de amplificadores de audio

Como se explica en (1), las diferentes divisiones de clases en los amplificadores vienen dadas por el punto de polarización del transistor o transistores presentes en su etapa de amplificación.

Estas clases presentan ventajas y desventajas, la idea de implementar una u otra depende de lo que se busque en el amplificador, del compromiso que se quiera cumplir. Este apartado realiza una pequeña introducción a algunas de estas clases.

Clase A: La característica que define a esta clase es el trabajo de sus transistores en zona lineal, o casi. Para el caso de un transistor BJT, su zona de trabajo siempre sería la lineal o activa. Por otro lado, una implementación con transistores FET implicaría un trabajo en zona de saturación.

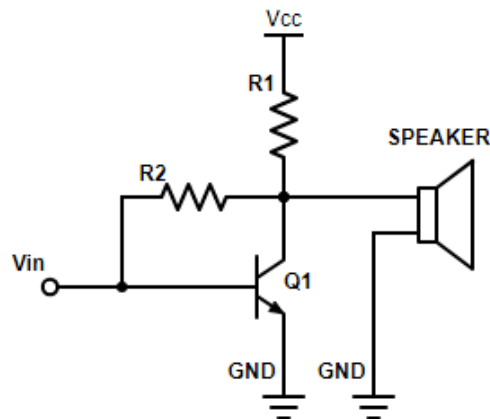


Figura 3.1 Esquema básico de un amplificador de audio en Clase A (Fuente: propia)

En esta clase, la corriente siempre circula por el transistor, el periodo completo (360°). Esta forma de trabajar implica una elevada potencia disipada y por lo tanto una baja eficiencia del amplificador, siendo esta como máximo del 50% (a nivel teórico). En contraposición, la calidad del audio obtenido es elevada dado que no presenta una gran distorsión en su salida.

Clase B: A diferencia de un amplificador en clase A, la corriente que circula por la base (o puerta) del transistor no circula durante todo el ciclo de la señal de entrada, sino que solo circula durante la mitad de este (180°). En esta topología, la etapa de salida esta formada por dos transistores que trabajan de forma complementaria.

La Figura 3.2 muestra el esquema de una etapa de salida de un amplificador en clase B:

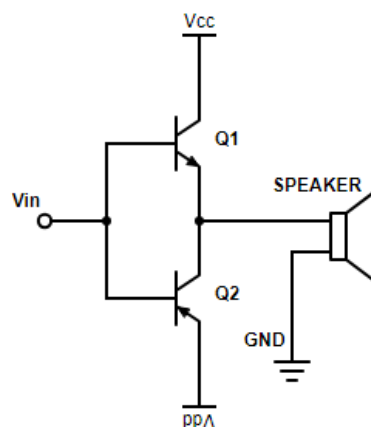


Figura 3.2 Esquema básico de un amplificador en clase B *push-pull* de simetría completa (Fuente: propia)

Esta configuración, denominada *push-pull*, para una entrada V_{in} positiva, el transistor NPN, Q_1 , entra en conducción y dado un ciclo con entrada negativa, entra en conducción el transistor PNP, Q_2 .

Por otro lado, la figura anterior muestra un puente conectado a una tensión positiva, V_{CC} , y a una tensión negativa, V_{DD} . Como se ha comentado, dado que se recorta el ciclo de conducción a 180° , en caso de tener alimentación simple, la distorsión del amplificador aumentaría considerablemente puesto que se recorta por la mitad la señal de entrada. Con una configuración en simetría completa, la mostrada en la figura, este valor de distorsión mejora, pudiendo cubrir casi por completo el ciclo de la señal de entrada.

En esta clase de amplificadores, se pueden obtener eficiencias mucho mayores. A nivel teórico, un clase B puede alcanzar una eficiencia de 78,5 %.

Clase AB: Como indica su nombre, esta configuración es un híbrido entre las topologías A y B. En la práctica, esta configuración es muy parecida a la B.

En el apartado anterior, se ha mencionado que en un amplificador clase B, la salida cubre casi por completo los valores de entrada. Esta afirmación viene dada por la existencia de la 'distorsión de cruce' en los transistores.

Este efecto se debe a que, para valores de tensión bajos en la entrada, los dos transistores mostrados en la Figura 3.2, se encuentran en corte dado que la unión base-emisor de estos no ha entrado en conducción.

La solución a este problema es la introducida por la clase AB:

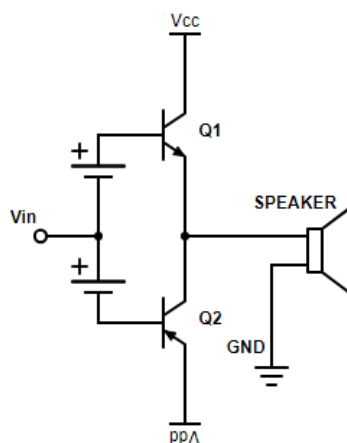


Figura 3.3 Esquema básico de una amplificador en clase AB *push-pull* de simetría completa (Fuente: propia)

Como muestra la Figura 3.3, para reducir el efecto de la distorsión de cruce, se polarizan las uniones base-emisor de los dos transistores. Gracias a esto, por pequeña que sea V_{in} , esta se verá copiada en la salida del amplificador.

Para esta clase, la eficiencia obtenida es muy parecida a la de un clase B, pero con una menor distorsión.

Clase D: Un amplificador en clase D supone un cambio de concepto con respecto a las clases comentadas anteriormente. Para esta topología, los transistores dejan su zona de funcionamiento lineal para empezar a trabajar en saturación.

La idea detrás de esta clase de amplificadores es la de un interruptor ideal en conmutación. Este elemento puramente teórico, al entrar en conducción, su producto tensión-corriente es cero dado que no existe una caída de tensión entre sus extremos. Por otro lado, cuando este se cierra, la corriente cae a cero obteniendo así solo tensión en uno de sus extremos. Teniendo en cuenta esto, un amplificador en clase D presenta una eficiencia del 100%.

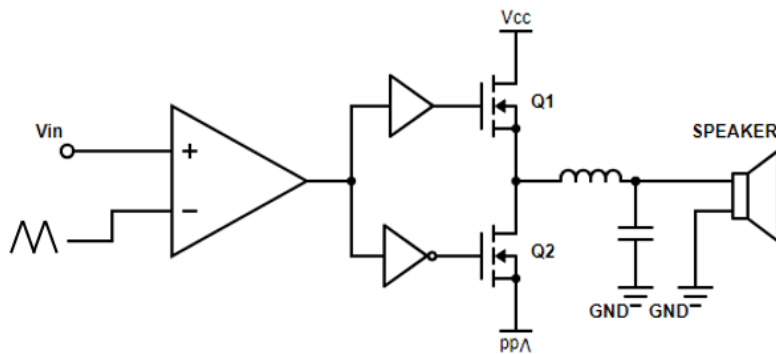


Figura 3.4 Esquema básico de un amplificador en clase D con topología en medio puente (Fuente: propia)

La Figura 3.4 muestra el esquema básico de un amplificador de audio en clase D. En esta se puede observar el concepto detrás de la implementación de este circuito.

Dada una entrada V_{in} se realiza una comparación con una señal, en este caso, una señal triangular de alta frecuencia. La salida obtenida en el comparador es una modulación por ancho de pulsos (PWM) del audio en la entrada. Esta señal es llevada a un puente de transistores trabajando de forma complementaria y copiando la señal PWM en su salida amplificada. Una vez en el filtro LC, se realiza el filtrado de los armónicos añadidos durante la modulación obteniendo una copia de la señal de entrada.

Como se comentó, teóricamente, estos amplificadores presentan una eficiencia del 100%. En la práctica, este valor es inasumible dadas las pérdidas presentes en todos los componentes, pero en esta clase se puede conseguir una eficiencia mucho mayor que en el resto de amplificadores.

En un amplificador en clase D, la etapa de potencia está formada por transistores MOSFET trabajando en zona de saturación. Estos semiconductores presentan una muy baja resistencia entre drenador-fuente y su frecuencia de trabajo es mucho mayor que la de un BJT, siendo un comportamiento muy próximo al de un interruptor ideal. Teniendo en cuenta todo esto, un amplificador de audio en clase D puede llegar a presentar eficiencias por encima del 95%.

En lo que respecta a la distorsión de salida. Dado que se realiza una modulación en el proceso de amplificación, esta añade no-linealidades al comportamiento del sistema.

Por otro lado, el hecho de tener transistores conmutando a gran frecuencia y corriente, se generan interferencias que pueden afectar al propio circuito y a la salida obtenida por este aumentando la distorsión.

Todas estas consideraciones hacen que el diseño y la implementación de esta clase circuito tengan un grado de dificultad algo mayor que en el resto de amplificadores.

3.2. Topologías de un Clase D

La topología de salida de un amplificador de audio en clase D viene definida por la disposición que tienen los interruptores en la etapa de potencia o salida del circuito.

Para esta clase de amplificadores existen dos configuraciones para su etapa de amplificación. A continuación, se explicarán estas y se realizará una comparación de las ventajas y desventajas obtenidas por su implementación.

3.2.1. Medio puente (*Half-Bridge*)

La configuración en medio puente viene definida por una única rama de dos transistores. La Figura 3.5 muestra el esquemático de esta topología.

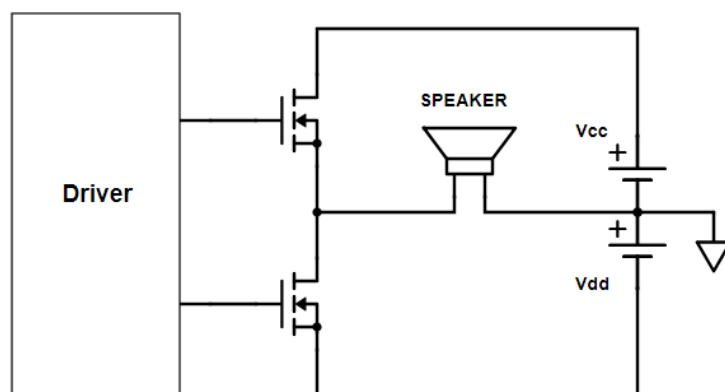


Figura 3.5 Configuración en medio puente (Fuente: propia)

Un amplificador con esta etapa de potencia tiene dos transistores MOSFET conmutando de forma complementaria dada la señal de control emitida por el driver. También la alimentación del puente no es unipolar, sino que es una alimentación simétrica. Como se puede observar, la cantidad de componentes para esta topología es muy reducida.

3.2.2. Puente completo (*H-Bridge*)

La topología en *H-Bridge* o *full-Bridge* presenta dos ramas de transistores. La Figura 3.6 muestra el esquema básico de una configuración en puente completo.

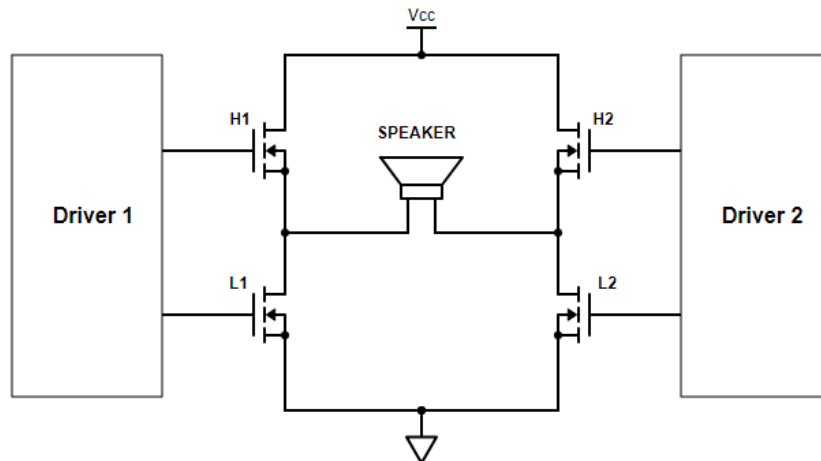


Figura 3.6 Configuración en puente completo (Fuente: propia)

En esta configuración, el número de elemento es el doble que en una configuración en medio puente teniendo así 2 ramas de dos MOSFETs con un driver asignado para cada rama. Por lo que respecta a la alimentación del puente, esta pasa de simétrica a simple.

Para esta topología, los transistores de la misma rama presentan estados complementarios y opuestos a los de la otra rama. Esta afirmación viene a decir que, durante un ciclo, los transistores que conducirán serán H1 y su opuesto en la otra rama L2. En el siguiente ciclo de conmutación, los dos transistores en conducción serán H2 y L1.

Como se puede esperar y al igual que en la topología en medio puente, una conducción de los dos transistores de una misma rama crearía un flujo de corriente a tierra muy elevado dada la baja resistencia que presenta un MOSFET entre drenador y fuente.

3.2.3. Comparación entre Half-Bridge y H-Bridge

En los dos últimos apartados se explicó el concepto de estas dos configuraciones para la etapa de potencia del amplificador, a continuación, se realizará una comparación entre estas dos topologías.

La topología en medio puente presenta un número mucho más reducido de componentes, haciendo así que los costes de fabricación sean mucho menores. Por otro lado, se puede observar como la magnitud del corriente de salida se reduce a la mitad dado que las dos alimentaciones entregan la mitad de corriente que en la topología en puente completo.

En lo que respecta a los puntos negativos de un medio puente. Esta configuración presenta una alimentación simétrica. Esta forma de alimentación implica ciertas complicaciones en el diseño del amplificador tales como:

- **Aislamiento entre las referencias de tensión de los componentes.** La tensión más negativa del circuito deja de ser GND y pasa ser el terminal negativo del puente de salida. Esto causa cierta complicación a la hora de disparar los transistores por parte del driver como se verá en el siguiente apartado.
- **Pumping effect.** Este efecto viene dado por los elementos del filtro de salida y su energía almacenada. Cuando estos elementos se descargan, inyectan corriente por los terminales de alimentación. Este efecto causa variaciones en la alimentación del puente, creando variaciones en la ganancia y la distorsión de salida.

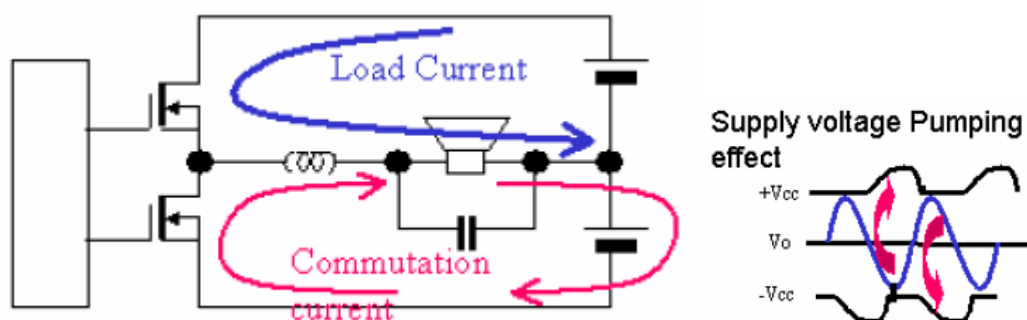


Figura 3.7 Half-Bridge, caminos de corriente (Fuente: (2))

Otro efecto de la topología en medio puente es la linealidad del circuito y la posibilidad de tener componentes en DC a la salida del amplificador. Por lo que respecta a la linealidad del circuito; la modulación previa a la amplificación añade componentes armónicas que pueden estar presentes en el espectro de la señal de salida. Estas componentes armónicas aumentan la distorsión que presenta el audio de salida bajando así la calidad de este. Por lo que respecta a las componentes en DC; dado el tipo de carga que se tiene conectada en la salida, las componentes en continua que presente la señal pueden dañar el altavoz.

En el caso de una configuración en puente completo (H-Bridge) los problemas antes explicados son inexistentes o se ven reducidos en gran medida:

- **Mayor linealidad.** Una topología en puente completo tiene una salida diferencial haciendo que los armónicos pares presentes en la salida se vean eliminados. Por otro lado, una salida diferencial puede eliminar las componentes en DC protegiendo así el altavoz.

- En esta configuración, la energía almacenada en los componentes del filtro no es enviada a las líneas de alimentación, sino que es conducida por la rama opuesta del puente.

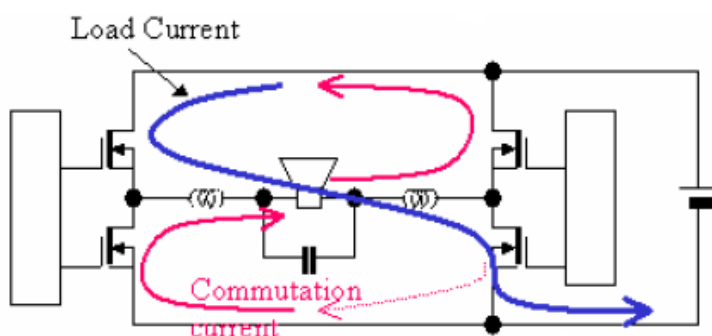


Figura 3.8 Full-Bridge, caminos de corriente (Fuente: (2))

- La posibilidad de implementar una modulación PWM en 3 niveles para reducir los errores presentes en el muestreo.

Por lo que respecta a las desventajas de una configuración en puente completo. El número de componentes se dobla con respecto a una topología en medio puente haciendo que el coste de este aumente. Por otro lado, el orden de magnitud de la corriente que circula por el puente de salida es mayor dada la alimentación simple.

Las dos configuraciones presentan características que decantan o no la balanza para su elección en el diseño final. La Tabla 3.1, sacada de la nota de aplicación (2) de International Rectifier®, recoge todos estos aspectos haciendo una comparación de las dos topologías.

Tabla 3.1. Comparación Half-Bridge y Full-Bridge (Fuente: (2))

| | Half-Bridge | Full-Bridge |
|----------------|--|--------------------------------|
| Supply voltage | 0.5 x 2ch | 1 |
| Current rating | 1 | 2 |
| MOSFET | 2 MOSFETs/CH | 4 MOSFETs/CH |
| Gate Driver | 1 Gate Driver/CH | 2 Gate Drivers/CH |
| Linearity | | Superior (no even order HD) |
| DC Offset | Adjustment is need | Can be cancelled out |
| PWM pattern | 2 level | 3 level PWM can be implemented |
| Notes | Pumping effect Need help of feed back | Suitable for open loop design |

Un factor no comentado en los anteriores párrafos es el uso de una realimentación (*feedback*) para mejorar la respuesta del amplificador.

En el caso de una configuración en medio puente, el uso de la realimentación es altamente recomendada, dado que las variaciones producidas en las líneas de alimentación crean inestabilidad en el sistema, haciendo variar la ganancia del amplificador de una forma indeseada.

Al contrario de un medio puente, una topología en puente completo presenta una buena estabilidad en lazo abierto dado que no inyecta corriente en la alimentación.

Pese a estas afirmaciones, siempre es recomendable la utilización de un lazo de realimentación correctamente diseñado dado que se trata de un circuito inherentemente no-lineal dada su etapa de modulación y con numerosas fuentes de perturbaciones las cuales, afectan tanto a la salida como a la eficiente global del circuito.

3.3. Técnicas de modulación

Como se ha comentado, un amplificador de audio en clase D presenta una etapa de modulación. El objetivo de este apartado es el de explicar y realizar una comparación de las dos técnicas de modulación consideradas para la implementación del prototipo, modulación PWM y modulación Delta-Sigma ($\Delta\Sigma$).

Se puede afirmar, que este bloque es, en cierta manera, la mejor ventaja y la mayor desventaja que se puede tener en esta topología de amplificadores. El hecho de discretizar una señal de entrada para controlar un puente de transistores FET trabajando en estado de saturación, comportan un enorme incremento de la eficiencia de esta clase de amplificadores.

Pero, por otro lado, en este estado es donde se empiezan a añadir armónicos, se empieza a añadir ruido a la señal de entrada, es en esta etapa donde se incrementa la no-linealidad. Este efecto cause un aumento considerable de la distorsión y, por lo tanto, de la calidad del audio obtenida en la salida.

3.3.1. Modulación PWM

Esta técnica de modulación ha sido implementada ampliamente para multitud de sistemas y aplicaciones tales como el control de motores y convertidor DC-DC.

El funcionamiento de esta técnica de modulación se basa en la comparación de una señal de entrada con una onda portadora. Esta onda portadora presenta una frecuencia mucho mayor que la señal de entrada dado que al realizar esta comparación, se está muestreando la entrada al circuito como muestra la Figura 3.9:

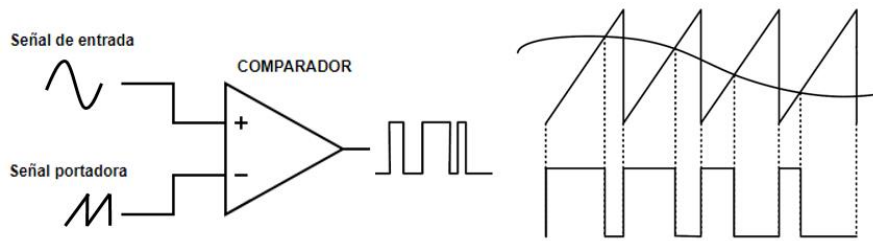


Figura 3.9 Esquema básico de un modulador PWM (Fuente: (3))

Para valores de entrada mayor a los niveles de tensión de la onda portadora, la salida del comparador se pone en estado alto. Por el contrario, para valores de entrada menores en la señal de entrada, se obtiene un estado bajo en la salida.

El resultado de esta modulación es una señal que varía el *duty cycle* de los pulsos en la salida del comparador. De aquí el nombre del *Pulse Width Modulation* (PWM). La frecuencia de estos pulsos viene definida por la frecuencia de la onda portadora. Para realizar una correcta modulación y no perder grandes cantidades de información al muestrear la señal de entrada, la frecuencia de la portadora debe de ser mucho mayor que la frecuencia de entrada. Según el teorema de Nyquist-Shannon, esta debe, al menor, el doble. En la práctica, esta frecuencia tendría que ser todo lo elevada posible para discretizar correctamente el audio de entrada.

La ventaja que presenta este tipo de modulación es su simplicidad y el reducido número de componentes necesarios para realizarla.

Por otro lado, presenta claros problemas de distorsión. En una modulación PWM, la cantidad de armónicos añadidos a la señal no se centra solo en el entorno de la señal portadora, sino que se extiende por una gran cantidad de frecuencias, pudiendo incluso afectando a la banda del audio. En el documento (3) de la bibliografía, se realiza un estudio sobre los armónicos añadidos tras una modulación PWM.

3.3.2. Modulación Delta-Sigma ($\Delta\Sigma$)

Tras explicar la modulación PWM, se tuvo en cuenta otro tipo de modulación basada en el esquema mostrado en la Figura 3.10:

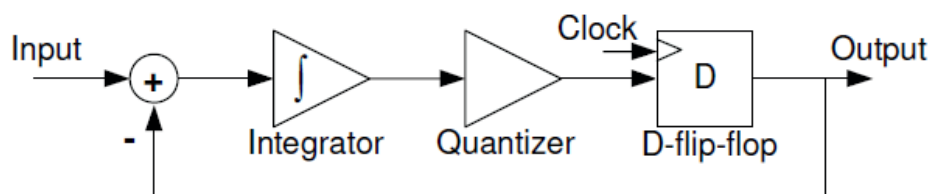


Figura 3.10 Esquema básico de un modulador Delta-Sigma (Fuente: (3))

La modulación Delta-Sigma es implementada mediante un circuito integrador y un circuito flip-flop. Cuando la señal de entrada al bloque integrador supera un umbral, el flip-flop es reseteado, creando a su salida un pulso con una cierta amplitud. En la salida del modulador, se obtiene un tren de pulsos en el cual, mediante la densidad de pulsos en un intervalo, se ha modulado el valor discreto de la amplitud de entrada.

Al igual que un modulador PWM, mediante un filtro pasa-bajos LC, se realizará la demodulación obteniendo el audio de entrada al circuito.

Pese a tener un comportamiento muy parecido al de un modulador PWM, esta etapa incorpora un lazo de realimentación. Este *feedback* permite al modulador reducir la cantidad de distorsión creada en comparación a una modulación PWM puesto que la amplitud de los armónicos añadidos en la salida de la etapa modulada se ve reducida.

Por otro lado, esta clase de modulador presentan desventajas. La primera de estas reside en el orden del sistema a implementar. Dada la no-linealidad de este elemento, para obtener una clara ventaja con respecto a un modulador PWM el orden del sistema debe ser mayor, lo que implica mayor número de componentes y dificultad añadida al diseño.

El otro factor a tener en cuenta es la frecuencia de muestreo del circuito. Para obtener una correcta modulación y no perder información, esta frecuencia debe ser muy elevada. Este efecto causará un aumento en el consumo del circuito debido a las pérdidas por conmutación en los transistores.

4. Diseño del amplificador

A continuación, se explicará paso a paso el camino seguido a lo hora de diseñar el prototipo. Puesto que en el apartado anterior se realizó una explicación teórica de los elementos y aspectos más importantes a tener en cuenta, ahora se aplicarán estos conocimientos para el cálculo y la elección de los compontes del diseño final.

Este proceso se ha dividido en 4 grandes bloques como muestra la Figura 4.1. El primero de estos es la etapa de potencia en la cual se eligió la topología del puente de salida, se obtuvieron los parámetros de interés relacionados con la potencia del amplificador y la posterior elección de los transistores, el driver y el filtro.

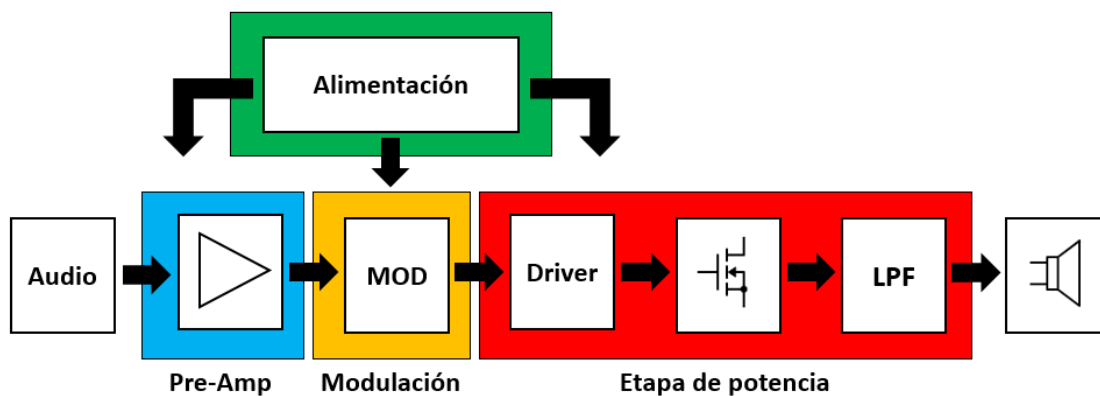


Figura 4.1 Diagrama de bloques del sistema completo (Fuente: propia)

Una vez seleccionados estos elementos se diseñó la etapa de modulación con la cual, válgame la redundancia, se realiza la modulación de la señal entregado por la etapa pre-amplificadora.

Por último, pero no menos importantes, se dimensionó el consumo total de la placa para la elección de los elementos que permitan entregar la energía necesaria en cada parte del circuito.

Pese a parecer un diseño lineal, durante ciertos puntos se realizarán saltos entre apartados dado que la elección de componentes o la obtención de algunos parámetros requieren de valores de otras partes del circuito.

4.1. Etapa de potencia

Los siguientes apartados describen las consideraciones y cálculos seguidos en el proceso de diseño para la etapa de potencia. Al inicio de cada apartado se realizará una pequeña introducción al tópico para, posteriormente, exponer el camino seguido en la elección de componentes. Para finalizar esta etapa de diseño, se mostrará el esquema final del circuito.

Este bloque está formado por los elementos que permiten la amplificación de la señal modulada y todos aquellos por los que circule una corriente con un cierto orden de magnitud a tener en cuenta.

4.1.1. Topología del amplificador

En apartados anteriores se expusieron las dos topologías que puede tener en su salida un amplificador de audio en clase D. Estas configuraciones son las denominadas en medio puente (*Half-Bridge*) y puente completo (*Full-Bridge*). La Tabla 3.1 recoge las ventajas y desventajas que han marcado las siguientes afirmaciones para enfocar la etapa de potencia:

- **Pumping de la energía almacenada en los elementos del filtro.** La inyección de corriente en las líneas de alimentación crea grandes problemas dado que la ganancia de un amplificador en clase D depende de la tensión en el puente. Si se inyecta corriente, el valor del voltaje varía creando perturbaciones que pueden afectar a la eficiencia del conjunto.
- **Cantidad de armónicos presentes en el espectro de salida.** Pese a que estos armónicos presentes sean de una frecuencia muy superior a la que el oído humano puede llegar a alcanzar, su posible presencia en las líneas de alimentación y en la etapa de pre-amplificación pueden crear perturbaciones en el funcionamiento. Los armónicos impares no son eliminados por completo pero una posible atenuación ayuda en caso de realizar un filtrado posterior de las señales.
- Pese a que el coste es un factor a tener en cuenta para la producción a gran escala de un producto, la posibilidad de poner en riesgo la calidad del audio en la salida del amplificador y la eficiencia de este siguen siendo consideraciones a tener en cuenta.

Como es de esperar, los argumentos apuntan a la elección de una configuración en puente completo para la etapa de salida del amplificador.

4.1.2. MOSFETs

Este apartado recoge el procedimiento seguido para la elección de estos transistores tomando como punto de partida la potencia de salida en el amplificador y sacando todos los parámetros de interés para esta aplicación. Al final de este apartado, se seleccionará un modelo de transistor.

Los parámetros más importantes a la hora de seleccionar un transistor en esta aplicación son:

- Tensión drenador-surtidor que puede soportar (V_{DS}).
- Resistencia que presenta en conducción (R_{DS-on}).
- Carga de la puerta (Q_G).
- Tiempo de encendido y apagado (t_{on} y t_{off}).

Dada una potencia de salida deseada de 20 W se ha decidido que la elección y el dimensionamiento de elementos del circuito se realice para una potencia el doble de la deseada, 40 W. Este factor de seguridad permite que los elementos del circuito no sufran en exceso en caso de trabajar a plena carga.

El proceso comienza con la obtención de la tensión de pico en el puente considerando como carga un altavoz de 8 Ω :

$$P_{out} = \frac{V_{RMS}^2}{R_L} \quad (\text{Eq. 4.1})$$

$$V_{RMS} = \sqrt{P_{out} \cdot R_L} = \sqrt{40 \text{ W} \cdot 8 \Omega} = 17,88 \text{ V}$$

$$V_{peak} = V_{RMS} \cdot \sqrt{2} = 17,88 \cdot \sqrt{2} = 25,28 \text{ V}$$

$$V_{DS-min} = V_{peak} \cong 25,3 \text{ V}$$

Para la elección de un MOSFET se ha tenido en cuenta que la tensión V_{DS} sea mayor a V_{peak} .

La corriente que circula por el puente se puede obtener aplicando directamente ley de Ohm. Asumiendo que la tensión eficaz es de 26 V se obtiene una corriente de 3,25 A de salida.

$$V_{RMS-MAX} = I_{out} \cdot R_L \quad (\text{Eq. 4.2})$$

$$I_{out} = \frac{V_{RMS-MAX}}{R_L} = \frac{26 \text{ V}}{8 \Omega} = 3,25 \text{ A}$$

Como se puede observar en los resultados anteriores, el orden de magnitud de las variables calculadas será mucho menor. La intención de sobredimensionar el componente viene dada por los picos de corrientes que se pueden producir durante los estados de encendido y apagada, de este efecto se hablará en el siguiente apartado con mayor detalle, creando un incremento en la temperatura a tener muy en cuenta.

Una vez obtenidas la tensión y corriente por el puente, se ha procedido a una estimación de pérdidas relacionadas con los parámetros del transistor.

La eficiencia del amplificador viene marcada en gran medida por las pérdidas producidas en los MOSFETs del puente de salida. En (4) de la bibliografía se presentan un seguido de fórmulas en las cuales se cuantifican las pérdidas asociadas a los posibles focos que disipan energía:

- **Pérdidas resistivas:** Pérdidas dadas por la resistencia drenador-surtidor (R_{DS-on}) la cual, presenta una oposición al paso de corriente durante el estado de conducción del transistor.

$$P_{conduction} = (I_{D(RMS)})^2 \cdot R_{DS(on)} \quad (\text{Eq. 4.3})$$

Dado que esta resistencia presenta una alta dependencia a la temperatura del componente, se ha utilizado su valor máximo obteniendo así el valor máximo de potencia disipada.

- **Pérdidas por conmutación:** Pérdidas producidas durante los tiempos de encendido y apagado del transistor. Como es de esperar, estas pérdidas dependen altamente de la frecuencia de conmutación y de la energía necesaria para hacer saltar al transistor entre estados.

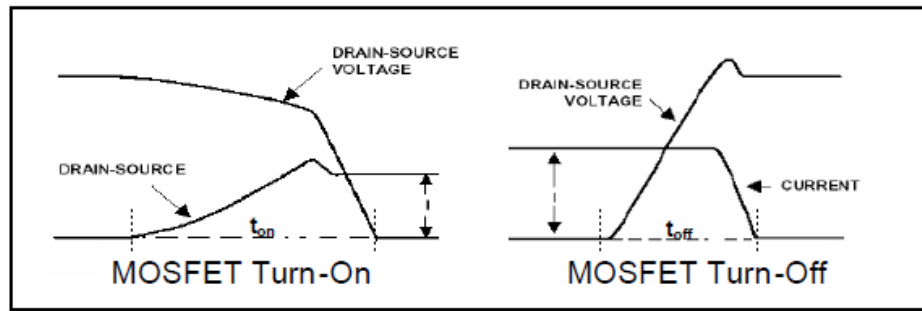


Figura 4.2 Tiempo de encendido (izquierda) y apagado (derecha) de un transistor MOSFET (Fuente: (4))

Como muestra la siguiente ecuación, estas pérdidas se deben a los tiempos ya comentados, a los valores de tensión y corriente calculados al principio de este apartado, la frecuencia de conmutación, la capacidad de salida y a la carga de recuperación del transistor:

$$P_{switching} = [0.5 \cdot I_D \cdot V_{bus} \cdot (t_r + t_f) \cdot f_{sw}] + [0.5 \cdot K \cdot C_{oss} \cdot V_{bus}^2 \cdot f_{sw}] + [0.5 \cdot K \cdot Q_{rr} \cdot V_{bus} \cdot f_{sw}] \quad (\text{Eq. 4.4})$$

- **Pérdidas en la puerta:** Pérdidas producidas durante la carga del condensador de puerta del transistor por el driver. Al igual que las pérdidas por conmutación, estas pérdidas dependen de la frecuencia de conmutación del circuito:

$$P_{gate} = 2 \cdot Q_g \cdot V_{driver} \cdot f_{sw} \quad (\text{Eq. 4.5})$$

Donde, V_{driver} es la tensión de conducción del driver y Q_g la carga en la puerta del MOSFET, comentada anteriormente.

La suma de todas estas pérdidas engloba la potencia que disipará el transistor para una potencia de salida determinada.

$$P_{TOTAL\ DISIPADA} = P_{conduction} + P_{switching} + P_{gate} \quad (\text{Eq. 4.6})$$

Una vez se han tenido en cuenta todas estas variables, se ha realizado la búsqueda de una referencia para este transistor. La idea de esta parte del diseño ha sido la de estudiar diferentes posibilidades en los encapsulados del transistor, sus fabricantes y las propuestas de estos para mejorar el funcionamiento de este tipo de circuitos.

En un amplificador de audio en clase D se busca una conmutación rápida y a una corriente que se puede considerar relativamente elevada, por lo tanto, el filtrado de componentes se debe realizar teniendo en cuenta las variables presentes en las ecuaciones de pérdidas y que, a su vez, soporten la potencia de salida deseada.

En (5) de la bibliografía se puede encontrar un estudio realizado por International Rectifier® para la selección un encapsulado de transistor enfocado a reducir el ruido y las pérdidas generadas por conmutación a gran velocidad.

La Tabla 4.1 y la Tabla 4.2 recogen esta búsqueda, incluyendo todos los parámetros considerados.

Tabla 4.1. Tabla de referencias 1 (Fuente: propia)

| | IPT007N06N | IPT012N06N | IRFS7430 | IRFR7440 | IRFS7437 | IRFS7530 |
|----------------|-------------------|-------------------|-----------------|-----------------|-----------------|-----------------|
| V_{DSS} | 60 V | 60 V | 40 V | 40 V | 40 V | 60 V |
| <i>Package</i> | PG-HSOF-8-1 | PG-HSOF-8 | D2Pak-7Pin | D-Pak | D-Pak | D2Pak-7Pin |
| $R_{DS(on)}$ | 0,75 mΩ | 1,2 mΩ | 0,75 mΩ | 2,4 mΩ | 1,8 mΩ | 1,4 mΩ |
| t_{on} | 38 ns | 16 ns | 28 ns | 11 ns | 19 ns | 24 ns |
| t_{off} | 76 ns | 48 ns | 161 ns | 51 ns | 78 ns | 168 ns |
| C_{oss} | 4522 pF | 2250 pF | 2140 pF | 690 pF | 1095 pF | 1260 pF |
| Q_{rr} | 144 nC | 474 nC | 72 nC | 34 nC | 25 nC | 83 nC |
| Q_g | 287 nC | 124 nC | 460 nC | 134 nC | 225 nC | 354 nC |

Tabla 4.2. Tabla de referencias 2 (Fuente: propia)

| | AUIRF2804 | AUIRFR8405 | AUIRFS8407 | AUIRFS8409 |
|----------------|------------------|-------------------|-------------------|-------------------|
| V_{DSS} | 40 V | 40 V | 40 V | 40 V |
| <i>Package</i> | D2Pak | D-Pak | D2Pak | D2Pak |
| $R_{DS(on)}$ | 2 mΩ | 1,98 mΩ | 1,8 mΩ | 1,2 mΩ |
| t_{on} | 13 ns | 12 ns | 19 ns | 32 ns |
| t_{off} | 130 ns | 51 ns | 51 ns | 160 ns |
| C_{oss} | 1690 pF | 770 pF | 1095 pF | 2130 pF |
| Q_{rr} | 100 nC | 20 nC | 25 nC | 97 nC |
| Q_g | 240 nC | 155 nC | 225 nC | 450 nC |

Por último, pero no menos importante, viene la elección, por fin, de la referencia para el MOSFET. Esta selección se ha realizado mediante un *script* de Matlab el cual, grafica las pérdidas que sufriría cada transistor en función a la frecuencia de conmutación del circuito.

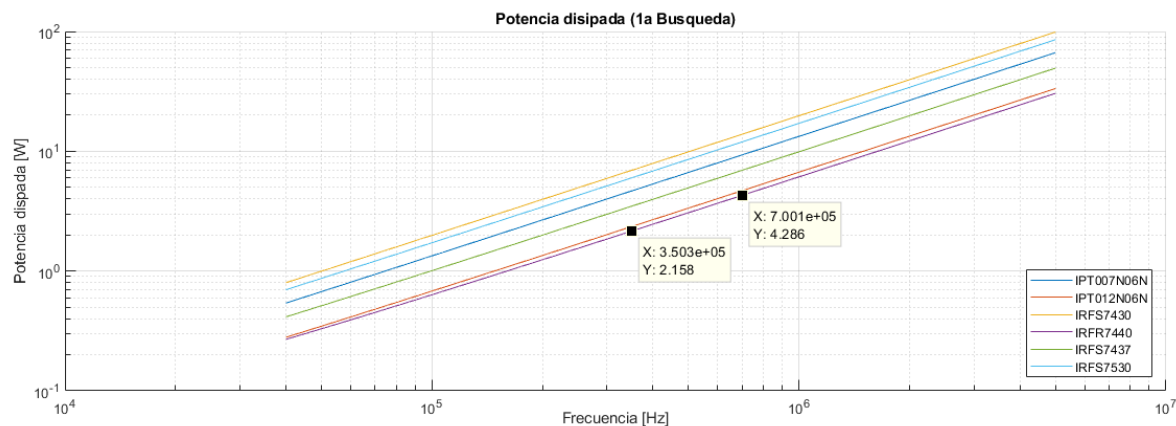


Figura 4.3 Potencia disipada (1a Búsqueda) (Fuente: propia)

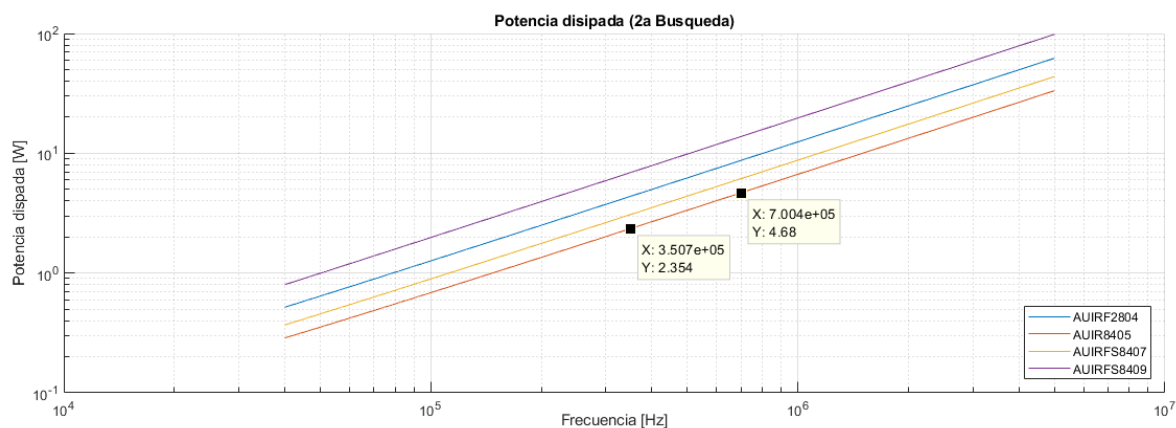


Figura 4.4 Potencia disipada (2a Búsqueda) (Fuente: propia)

La Figura 4.3 y Figura 4.4 hacen referencia a los resultados obtenidos con la primera y segunda búsqueda, respectivamente, de transistores.

Para la elección del transistor, como es lógico, se han seleccionado los dos que presenten menos pérdidas y se ha mirado la potencia que disiparía cada uno a la frecuencia de conmutación del circuito 350 kHz y al doble de esta, 700 kHz. Las referencias AU18405 y IRFR7440 presentan unas pérdidas muy similares con una disipación menor a 4,7 W con 700 kHz.

El transistor elegido para el diseño final ha sido el AU18405. Pese a presentar unas pérdidas mayores, durante la realización del pedido, la referencia del otro transistor no se encontraba en *stock*. Por otro lado, el AU18405 presenta una menor resistencia entre drenador-fuente y una mayor capacidad de dispar potencia.

4.1.3. Driver

En este apartado se realizará la elección del driver y se explicarán los motivos de esta.

Como se describió con más detalle en anteriores apartados, el driver es el encargado de controlar la conmutación de los transistores cargando y descargando el condensador de puerta.

Dado que se seleccionó un transistor de International Rectifier®, se decidió la elección de un driver suministrado por el mismo fabricante. Esta decisión viene dada por la compatibilidad que ofrece la empresa entre sus productos y por la gran cantidad de información sobre el tema que se tiene disponible.

Las prestaciones y parámetros que se han utilizado para la búsqueda son los siguientes:

- **Velocidad de conmutación.** El parámetro con mayor relevancia de todos ha sido el de encontrar un driver con la suficiente velocidad de conmutación.
- **Configuración del driver.** Por configuración se entiende al tipo de topología a la que está orientado el dispositivo. El uso de un driver simple no facilitaba el circuito, al contrario, añade más complicaciones. Por otro lado, la elección de un driver que permita controlar el *low* y el *high side* de una topología en medio o incluso en puente completo, supone una mejor y una solución mucho más óptima.
- **Tipo de entrada.** La entrada típica de un driver es la de una señal modulada del audio de entrada. Por otro lado, algunos componentes tienen la posibilidad de utilizar como entrada de control audio directamente. Es una gran ventaja en lo que respecta al diseño del circuito dado que la modulación se realiza internamente y no son necesarios más componentes.

Una vez realizada la búsqueda, la lista se redujo a dos referencias: el IRS2092 y el IRS20957S. Estos dos componentes presentan unas características muy parecidas dada su frecuencia máxima de funcionamiento y su topología, medio puente. También presentan la posibilidad de programar el tiempo muerto entre conmutación.

La única diferencia entre ellos es el tipo de entrada que tienen. El IRS2092 realiza la modulación internamente lo que permite eliminar una etapa presente en la Figura 4.1.

Pese a esta tentadora modificación, el componente elegido para controlar el puente de salida fue el IRS20957S. La eliminación de componentes en la placa no implica una mejora en si del diseño, todo depende de los objetivos que se tengan. El hecho de poder diseñar la etapa de modulación permite el uso de diferentes formas de realizar esta y así, pudiendo mejorar la respuesta final.

Ahora que se tiene una referencia se procederá al diseño asociado a la elección de este componente. En la Figura 4.5 se puede observar el esquema básico propuesto por el fabricante en su *datasheet*:

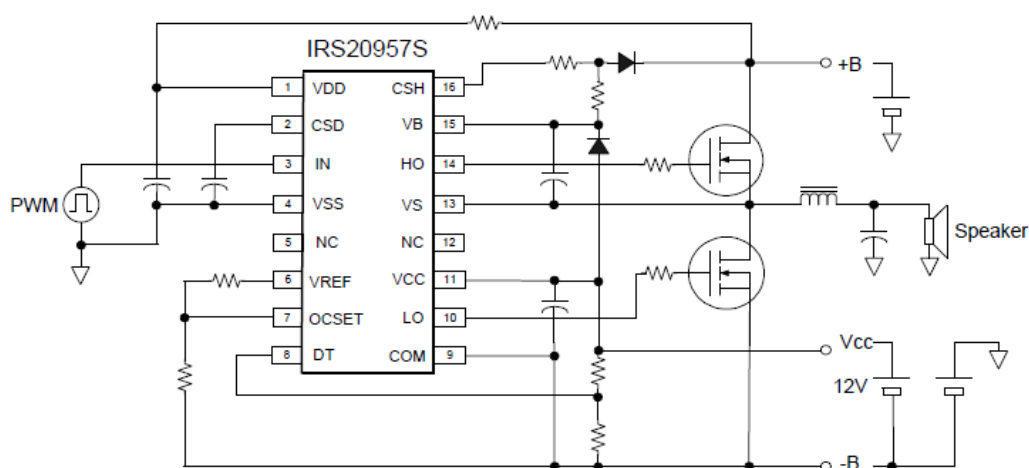


Figura 4.5 Esquema básico del driver IRS20957S (Fuente: (6))

Este driver está orientado a su uso en amplificadores de clase D. Su entrada flotante para el PWM permite controlar los dos transistores de forma complementaria.

En lo que respecta al control del tiempo muerto, este componente permite programar cual será este poniendo un divisor de tensión en su puerto de entrada DT. El hecho de poder controlar este tiempo permite mejorar la eficiencia del amplificador y THD del audio de salida.

Con una referencia para el driver ya definida, se pasa a la selección de los componentes que permiten el correcto funcionamiento de este. Esta explicación se realizará dividiendo el esquema de la Figura 4.5 en subsistemas para una mejor explicación.

Low side. El bloque está compuesto por los elementos que permiten el control del transistor situado en la parte interior de la rama:

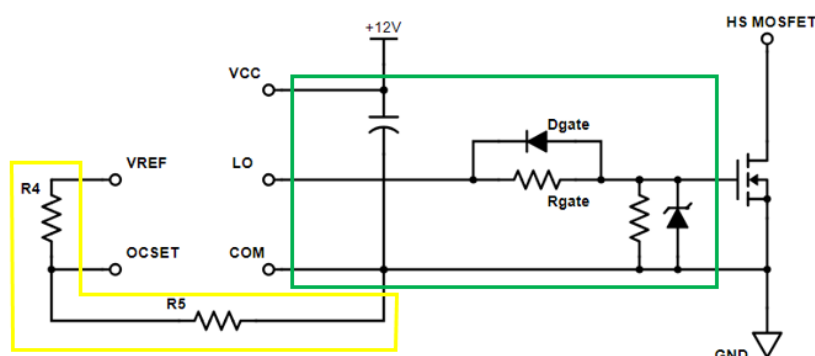


Figura 4.6 Esquema de circuito – *Low side driver* (Fuente: propia)

La Figura 4.6 muestra un esquema básico de los componentes que componen el control del transistor inferior del puente. El bloque verde engloba los elementos que permiten la conmutación del transistor por parte del driver. Por otro lado, el bloque amarillo está compuesto por un divisor de tensión formado por R_4 y R_5 , se encarga de la protección del puente.

Para la elección de los componentes se han tenido en cuenta los caminos de corrientes, los cuales serán explicados en el siguiente apartado, presentes en los estados de conmutaciones de los transistores.

- **R_{gate}** : Esta resistencia situada en la puerta del transistor permite la carga del condensador de puerta. Su valor será escogido entre 2: 10 Ω , 20 Ω . El objetivo es el de determinar su valor más óptimo en la etapa de puesta a punto del prototipo.
- **D_{gate}** : La función de este diodo es la de permitir el paso de corriente durante el ciclo de descarga del condensador de puerta en el transistor. La característica que ha marcado la decisión para la elección de este componente es su tiempo de recuperación puesto que ese debe de ser mucho menor a la frecuencia de conmutación del circuito. La referencia seleccionada: DB2W60400L con un tiempo de recuperación en inversa de 12 ns.

El cálculo y factores a tener en cuenta para el sistema de protección del *low side driver* se encuentran en el en el documento (6) de la bibliografía.

High side. El bloque está compuesto por los elementos que permiten el control del transistor situado en la parte superior de la rama:

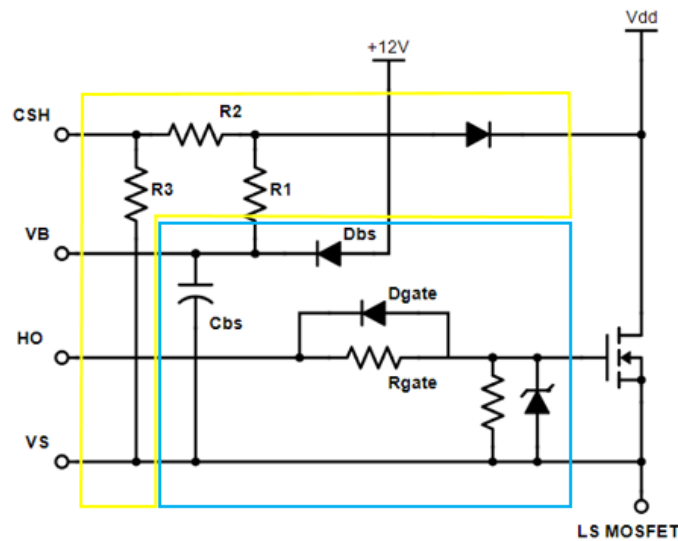


Figura 4.7 Esquema de circuito – *High side driver* (Fuente: propia)

La Figura 4.7 muestra un esquema básico de los componentes que componen el control del transistor superior del puente. El bloque azul engloba los elementos que permiten la conmutación del transistor por parte del driver. Por otro lado, el bloque amarillo está compuesto por un divisor de tensión formado por R_2 y R_3 , un diodo conectado a la tensión del puente y R_1 usada como resistencia de *bias*.

- La elección de R_{gate} y D_{gate} sigue el mismo procedimiento que en el *low side driver*; la selección de 2 valores para la resistencia de puerta y el uso del diodo DB2W60400L.
- **Boot strap:** Para conseguir la entrada en conducción del transistor superior el driver genera una tensión puerta-surtidor utilizando la carga almacenada en C_{bs} . Una vez se dispara el MOSFET, el condensador se vuelve a cargar por D_{bs} . Por lo que respecta al condensador, se ha considerado oportuno el uso de dos condensadores en paralelo, uno de mayor capacidad para asegurar una tensión y otro de menor valor para obtener una mayor velocidad en los estados de carga. El diodo de *boot strap* tiene que asegurar una carga rápida de estos condensadores y su velocidad es crucial. Referencia seleccionada: US1B-E3/61T con un tiempo de recuperación en inversa de 50 ns.

El cálculo y factores a tener en cuenta para el sistema de protección del *high side driver* se encuentran en el documento (6) de la bibliografía.

Deadtime (DT): El concepto de tiempo muerto hace referencia al tiempo entre el apagado de un transistor y el inicio de la conducción de su opuesto.

El IRS20957S permite programar el DT utilizando un simple divisor de tensión conectado a la entrada DT del integrado como muestra la Figura 4.8.

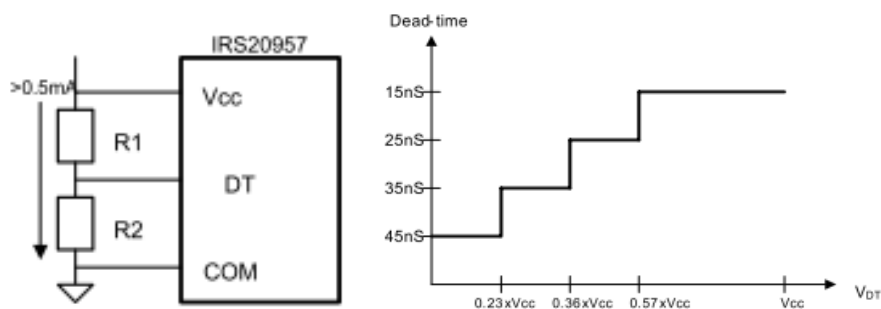


Figura 4.8 Esquema del circuito para la programación del *dead time* (Fuente: (6))

Los posibles tiempos que se pueden programar y el valor recomendado para las resistencias de este divisor se pueden encontrar en la Tabla 4.3:

Tabla 4.3. Valores recomendados para la selección del Deadtime (Fuente: (6))

| Deadtime Mode | R1 | R2 | DT Voltage |
|---------------|------------------------|------------------------|----------------|
| DT1 | $< 10 \text{ k}\Omega$ | Open | V_{CC} |
| DT1 | $5,6 \text{ k}\Omega$ | $4,7 \text{ k}\Omega$ | $0,46(V_{CC})$ |
| DT1 | $8,2 \text{ k}\Omega$ | $3,3 \text{ k}\Omega$ | $0,29(V_{CC})$ |
| DT1 | Open | $< 10 \text{ k}\Omega$ | COM |

La elección de estos valores se hará de forma experimental. En caso de seleccionar un DT muy grande, la THD de salida puede ser muy elevada y, por el contrario, si se selecciona un DT menor, se pueden producir caminos directos a tierra en las ramas de transistores haciendo que la eficiencia baje.

Por último, la Figura 4.9 muestra el esquema del conjunto driver + transistores de una parte del puente, como es lógico, dado que se tiene que controlar un puente completo, este esquema se repite en la otra rama:

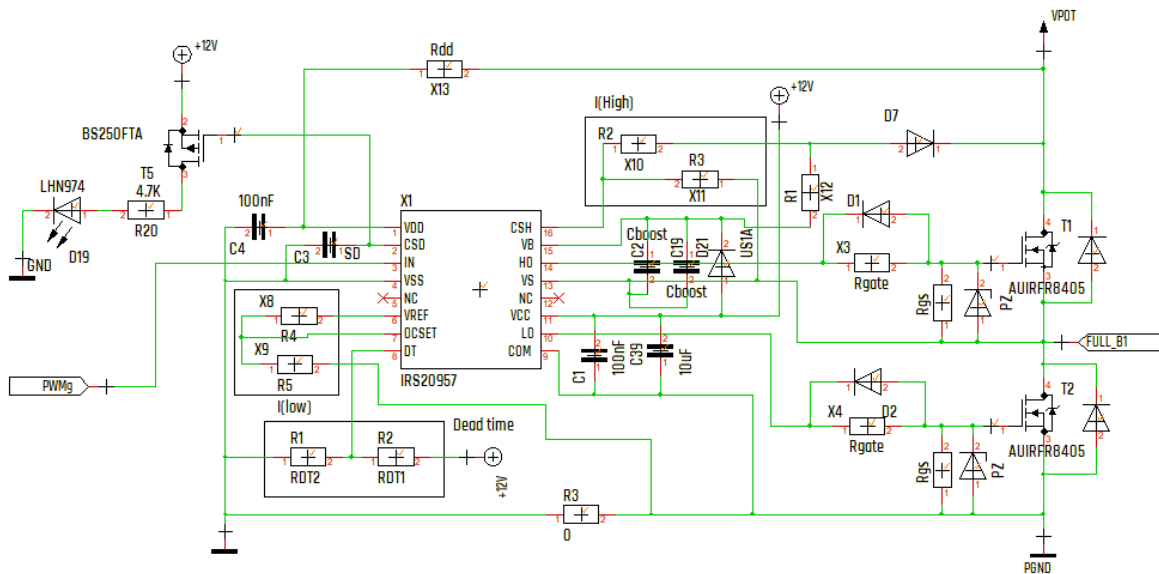


Figura 4.9 Esquema final – Driver de control (medio puente) (Fuente: propia)

4.1.4. Filtro de salida

Este apartado describe el proceso para el dimensionamiento del filtro situado en la salida del circuito y el último paso hasta llegar al altavoz.

Dada la topología elegida para el amplificador, *full-bridge*, el filtro de salida está situado en el punto medio de los dos puentes como muestra la Figura 4.10:

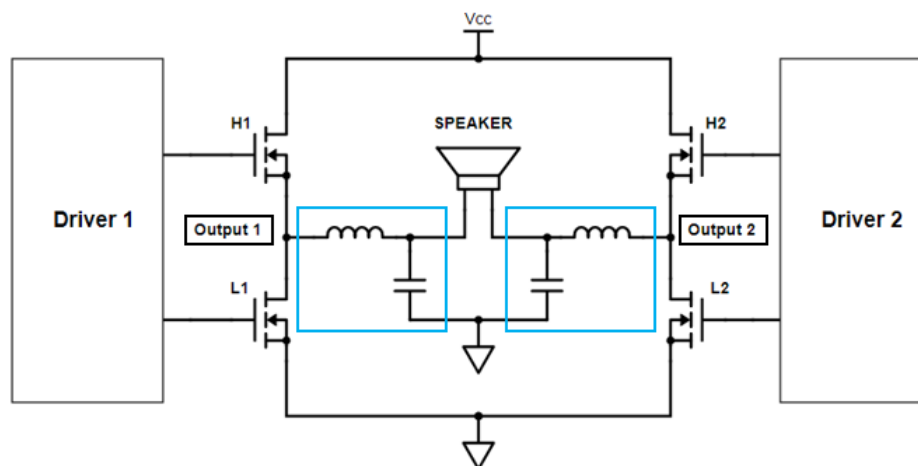


Figura 4.10 Esquema de la etapa de salida en configuración puente completo (Fuente: propia)

Como se puede ver en la figura, el filtro es un pasa-bajos de segundo orden formado por componentes pasivos. La función de este bloque es la de realizar el proceso inverso a la modulación producida en etapas anteriores obteniendo así una copia amplificada del audio de entrada.

El proceso de diseño comienza con la elección de una topología del filtro. El documento (7) de la bibliografía realiza una comparación entre las diferentes formas que puede tener esta parte del circuito. Tras evaluar las opciones que se proponían se decidió implementar el filtro mostrado en la Figura 4.11:

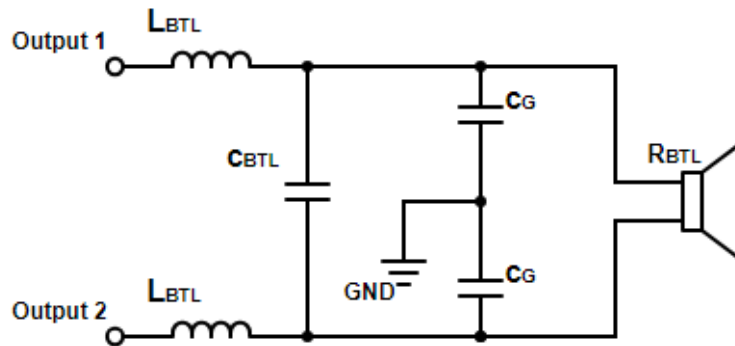


Figura 4.11 Esquema propuesto para el filtro de salida (Fuente: propia)

El proceso de cálculo comienza aplicando una equivalencia propuesta en (7) para obtener los valores de estos componentes:

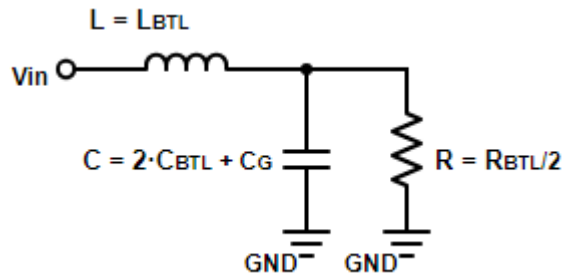


Figura 4.12 Circuito equivalente al filtro de salida del puente (Fuente: propia)

A continuación, se obtuvo el valor equivalente para R dado un altavoz con una resistencia de $8\ \Omega$:

$$R = \frac{R_{BTL}}{2} \quad (\text{Eq. 4.7})$$

$$R = \frac{R_{BTL}}{2} = \frac{8}{2} = 4\ \Omega$$

Una vez definida la resistencia equivalente se determinó el valor de L dado por la siguiente expresión:

$$L = L_{BTL} = \frac{R \cdot \sqrt{2}}{w_0} = \frac{R \cdot \sqrt{2}}{2 \cdot \pi \cdot f_c} \quad (\text{Eq. 4.8})$$

Donde f_c será la frecuencia de corte del filtro. La frecuencia de corte seleccionada fueron 19 kHz. Pese a ser una frecuencia dentro de la banda del audio, la frecuencia obtenida en el filtro implementado, dadas las tolerancias de los componentes, variará con respecto a esta. Por otro lado, en caso de obtener una frecuencia muy por debajo de la esperada, la atenuación será prácticamente imperceptible para el oído.

Aplicando la (Eq. 4.8) a una frecuencia de 19 kHz se obtiene un valor de inductancia:

$$L = L_{BTL} = \frac{R \cdot \sqrt{2}}{2 \cdot \pi \cdot f_c} = \frac{4 \cdot \sqrt{2}}{2 \cdot \pi \cdot 19 \cdot 10^3} = 47,38 \mu H$$

Normalizando este valor a la serie E-12 se obtiene un valor para L_{BTL} de 47 μH .

Una vez se definieron las inductancias se realizó el cálculo para los condensadores C_{BTL} y C_G :

$$C = \frac{1}{w_0 \cdot R \cdot \sqrt{2}} = \frac{1}{2 \cdot \pi \cdot f_c \cdot R \cdot \sqrt{2}} \quad (\text{Eq. 4.9})$$

$$C = 2 \cdot C_{BTL} + C_G ; C_G \cong \frac{2 \cdot C_{BTL}}{10} \quad (\text{Eq. 4.10})$$

Sustituyendo valores para (Eq. 4.9) y (Eq. 4.10) se obtienen los siguientes valores:

$$C = \frac{1}{2 \cdot \pi \cdot 19 \cdot 10^3 \cdot 4 \cdot \sqrt{2}} = 1,48 \mu F$$

$$C = 2 \cdot C_{BTL} + \frac{2 \cdot C_{BTL}}{10} \Rightarrow C_{BTL} = \frac{C}{2,2} = \frac{1,48 \cdot 10^{-6}}{2,2} = 673 \text{ nF}$$

$$C_G \cong \frac{2 \cdot C_{BTL}}{10} = \frac{2 \cdot 673 \cdot 10^{-9}}{10} = 134 \text{ nF}$$

Estandarizando valores a la serie E-12 se definen C_{BTL} a 680 nF y C_G a 130 nF.

Una vez definidos estos valores se volvió a calcular la frecuencia de corte que se tendría con estos componentes:

$$f_c = \frac{1}{2 \cdot \pi \cdot \sqrt{L \cdot C}} \cong \frac{1}{2 \cdot \pi \cdot \sqrt{L_{BTL} \cdot 2,2 \cdot C_{BTL}}} \quad (\text{Eq. 4.11})$$

$$f_c \cong \frac{1}{2 \cdot \pi \cdot \sqrt{L_{BTL} \cdot 2,2 \cdot C_{BTL}}} = \frac{1}{2 \cdot \pi \cdot \sqrt{47 \cdot 10^{-6} \cdot 2,2 \cdot 680 \cdot 10^{-9}}} = 18,98 \text{ kHz}$$

Como muestra el cálculo anterior, la frecuencia con los valores normalizados se encuentra muy próxima a los 19 kHz estimados.

Una vez obtenidos los valores para estos componentes, comenzó la búsqueda de sus referencias. El fabricante seleccionado fue Würth Elektronik® y su herramienta para la selección de componentes REDEXPERT® con la cual, se pudieron filtrar y comparar los componentes en función a sus gráficas características.

- **L_{BTL} :** Para la elección de las bobinas en el filtro se tuvo en cuenta la relación corriente-inductancia que esta presentaba. Para el rango de corrientes esperados, se buscó una referencia que no variase en exceso su inductancia.

Por otro lado, también se tuvo en cuenta la resistencia que esta presentaba. Dado que se busca minimizar las pérdidas, se buscó un componente con un bajo valor óhmico.

La referencia elegida fue: 74435584700 con una resistencia de 19,2 mΩ y una corriente de saturación de 12 A.

- **C_{BTL} y C_G :** En lo que respecta a los condensadores del filtro, se tuvo en cuenta la frecuencia de resonancia que estos presentaban. Se buscó una frecuencia de resonancia muy por encima del rango de frecuencia de trabajo. También, se trató de buscar una referencia con una buena estabilidad en su valor de capacidad con respecto a la frecuencia.

Para C_{BTL} se eligió el 890334025045 y para C_G el 890334023024. Ambas referencias pertenecen a la familia de condensadores diseñado para la supresión de interferencias dentro del catálogo del fabricante.

Por último, la Figura 4.13 muestra el esquema de los componentes que realizarán el filtrado de salida en el diseño final:

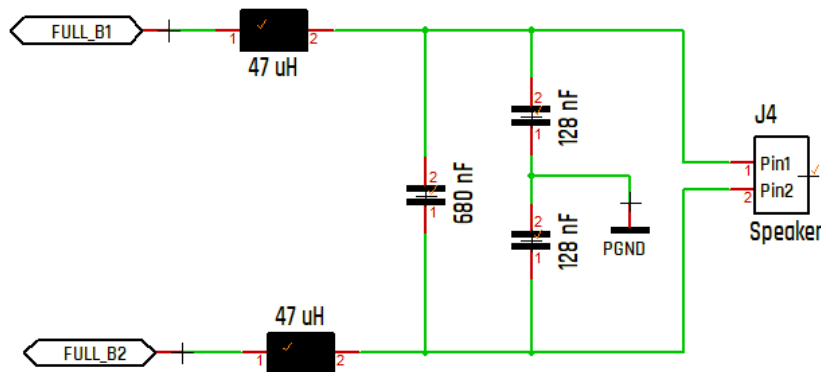


Figura 4.13 Esquema final – Filtro de salida (Fuente: propia)

4.2. Etapa de modulación

En este apartado se realizará una explicación del diseño realizado para la etapa de modulación y la elección de los componentes para esta.

Durante el diseño de este bloque del amplificador se debatió la elección de usar diferentes técnicas de modulación. Una de ellas es la modulación PWM (*Pulse Width Modulation*) (3) la cual se obtiene mediante la comparación de una señal triangular con la salida de la etapa preamplificadora. Otra técnica de modulación considerada fue la Delta-Sigma ($\Delta\Sigma$) la cual, es usada en convertidores ADC para discretizar señales analógicas. En el documento (8) de la bibliografía se puede encontrar la implementación de un amplificador en clase D realizando con modulación $\Delta\Sigma$.

El método de modulación elegido para el prototipo ha sido el PWM dada la simplicidad que este presenta ante una modulación Delta-Sigma y la cantidad de elementos que implica la implementación de un $\Delta\Sigma$ que permita obtener unos niveles de distorsión aceptables.

Una vez seleccionada la técnica para la modulación del audio de entrada, se realizó el diseño del circuito. Las condiciones que se impusieron para este fueron las siguientes:

- **Modulación a altas frecuencias:** Dado que se pretende tener una frecuencia de conmutación de 350 kHz, el sistema tiene que poder alcanzar esta sin problemas.
- **Ajuste rápido:** Posibilidad de cambiar la frecuencia de conmutación de forma fácil sin que se tengan que realizar grandes cambios en el circuito y siendo un ajuste preciso.

Tras considerar varias posibilidades se optó por la implementación de un único integrado que realizase esta modulación. El módulo LTC6992-2 de Linear Technology® (ahora parte de Analog Devices®).

Este integrado permite la modulación de una señal analógica de entrada a una frecuencia programada. Esta frecuencia de salida puede ser de hasta 1 MHz de máximo y 3,81 Hz de mínimo. La Figura 4.14 muestra el esquema básico de implementación del componente.

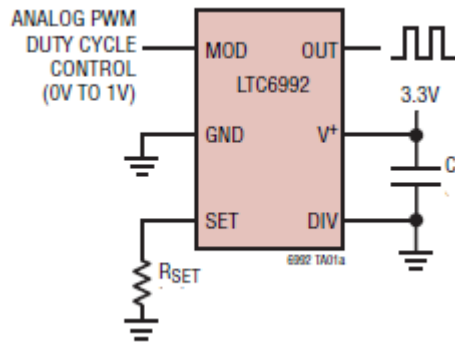


Figura 4.14 Esquema básico del LTC6992 (Fuente: (9))

La frecuencia de salida viene definida por la relación dada en la (Eq. 4.12). Como se puede ver en esta, los valores de R_{set} y una relación dada por un divisor de tensión en DIV definen la frecuencia.

$$f_{out} = \frac{1 \text{ MHz}}{N_{DIV}} \cdot \frac{50 \text{ k}\Omega}{R_{SET}}, N_{DIV} = 1, 4, 16 \dots 16384 \quad (\text{Eq. 4.12})$$

El proceso seguido para el cálculo de los valores de estas resistencias comienza por definir N_{DIV} a 1. Esta simplificación define un límite para las frecuencias de salida recogidos en la Tabla 1 de (9).

Una vez se define N_{DIV} se iguala la expresión anterior con la frecuencia de conmutación del circuito:

$$R_{SET} = \frac{1 \text{ MHz} \cdot 50 \text{ k}\Omega}{f_{out}} = \frac{1 \text{ MHz} \cdot 50 \text{ k}\Omega}{350 \text{ kHz}} = 143,46 \text{ k}\Omega$$

Estandarizando a la serie E-96 se obtiene un valor de 143 kΩ al 1% con una frecuencia de conmutación de 349,65 kHz.

El siguiente paso en el diseño del sistema pasa por definir los márgenes de la señal de entrada en MOD. Según *datasheet*, el modelo LTC6992-2 presenta un margen de entrada superior de 0,89 V y un inferior de 0,14 V, por lo tanto, la etapa preamplificadora tendrá que ajustar los niveles del audio de entrada a estos límites.

Para terminar con el diseño se hará una incorporación más al bloque de modulación. Dada la topología del amplificador y al driver escogido se debe obtener la señal inversa de la modulación realizada. Como muestra la Figura 4.15, cada driver controla una rama de transistores, dado que en cada ciclo de conmutación solo dos transistores entran en conducción al mismo tiempo (H1 y L2 o L1 y H1, haciendo referencia a la nomenclatura de esta imagen) se tiene que obtener una señal de control opuesta en los dos drivers.

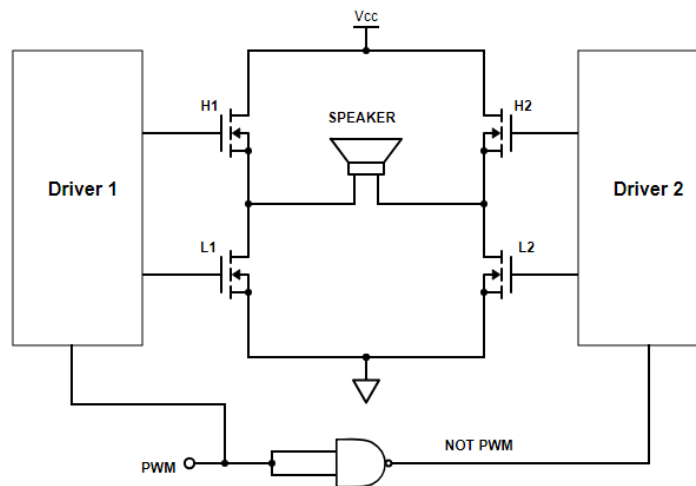


Figura 4.15 Esquema de control de los drivers en un puente completo (Fuente: propia)

El componente seleccionado para realizar esta negación del PWM es una puerta NAND. Puesto que las señales en la salida del modulador son valores digitales, una puerta lógica permite tratar estos. Por otro lado, la velocidad de estos integrados asegura el menor desfase entre las dos señales de control. El componente seleccionado es el SN74LVC1G00DBVT.

Por último, la Figura 4.16 muestra el esquema de la etapa de modulación implementada en el diseño final:

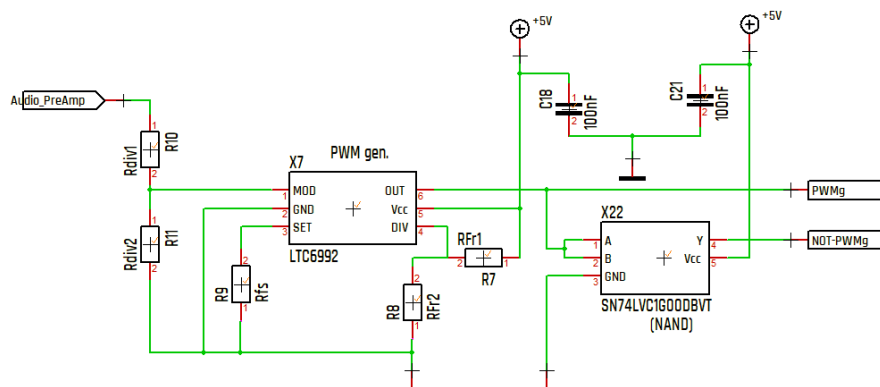


Figura 4.16 Esquema final – Etapa de modulación (Fuente: propia)

4.3. Etapa preamplificadora

La etapa preamplificadora permite tratar y adecuar la señal de entrada al circuito, en este caso audio, para que los niveles de tensión sean los adecuados dada la etapa moduladora.

Como se ha visto en el apartado anterior, el integrado que realiza la modulación fija unos valores límite para los niveles de tensión en su entrada. Estos niveles de tensión son 0,89 V y 0,14 V, todo valor dentro de este margen será modulado correctamente.

La Figura 4.17 muestra el esquema elegido para esta etapa:

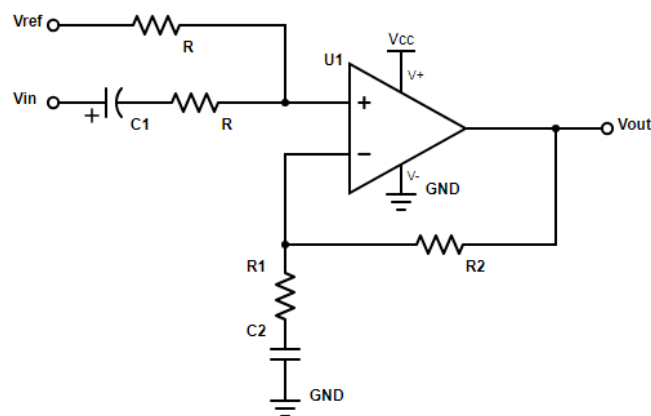


Figura 4.17 Esquema de la etapa preamplificadora (Fuente: propia)

El circuito se basa en el uso de un amplificador operación con alimentación simple y en configuración no-inversora con una ganancia:

$$A_V = \frac{R_2}{R_1} + 1 \quad (\text{Eq. 4.13})$$

La señal de entrada V_{in} pasa por un condensador de acoplo, C_1 , el cual se comporta como un circuito abierto para las tensiones en continua. Una vez se elimina este posible *offset*, mediante un sumador de tensión se le añade una tensión en continua, V_{ref} . El circuito sumador sigue la siguiente expresión:

$$V_+ = \frac{1}{2} \cdot (V_{in} + V_{ref}) \quad (\text{Eq. 4.14})$$

A continuación, aplicando la ecuación (Eq. 4.13), se realiza la amplificación del audio de entrada.

Por otro lado, el circuito permite realizar un filtrado de la señal de entrada. Las frecuencias de corte vienen definidas por las siguientes expresiones:

$$f_1 = \frac{1}{2 \cdot \pi \cdot R \cdot C_1} \quad (\text{Eq. 4.15})$$

$$f_2 = \frac{1}{2 \cdot \pi \cdot R_1 \cdot C_2} \quad (\text{Eq. 4.16})$$

El proceso seguido para obtener los valores de los compontes comienza por determinar los valores máximos que puede tomar V_{out} . Dados los niveles de tensión permitidos en la entrada de la etapa moduladora se ha determinado la amplitud y el *offset* máximos que puede presentar esta señal.

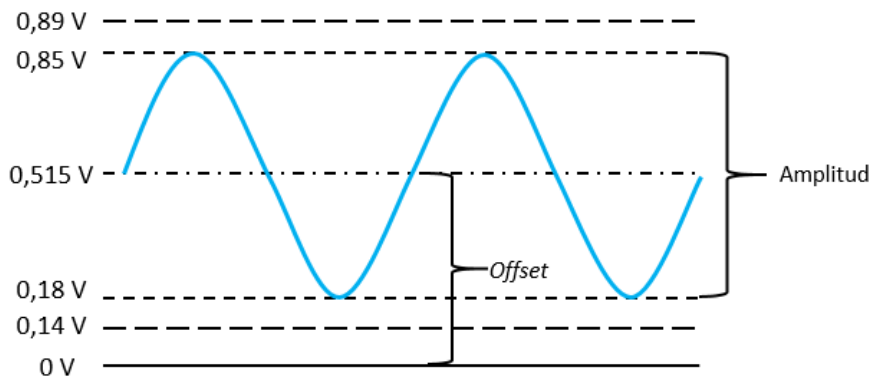


Figura 4.18 Niveles de tensión máximos de salida en la etapa preamplificadora (Fuente: propia)

Como se puede observar, se ha aplicado un factor de seguridad de 80 mV en la amplitud dadas las posibles tolerancias.

Dada la ecuación (Eq. 4.13), la ganancia del amplificador puede ser como mínimo 1. Para poder atenuar la señal se ha utilizado un divisor de tensión, como muestra la Figura 4.16, formado por R_{DIV1} y R_{DIV2} en la entrada MOD del modulador.

Una vez se obtuvo el valor de este *offset* se buscó un componente que permitiera, mediante el circuito sumador, fijar V_{ref} . Se decidió seleccionara la referencia de tensión LM4120 la cual, fija una tensión de 2,048V en su salida.

Para obtener el *offset* de salida necesario, mediante el divisor comentado anteriormente, se divide V_{ref} entre 4 y la ganancia del amplificador. Pese a parecer una decisión aleatoria, se puede ver que al dividir V_{ref} entre 4, se obtienen 0,512 V, un tensión muy cercana a los 0,515 V de la Figura 4.18.

El siguiente paso en el diseño fue el de definir la ganancia del amplificador. La (Eq. 4.13) define esta ganancia como la relación de R_1 y R_2 . Dado que esta etapa pretende ser también un control de volumen, se ha decidido definir R_2 como un potenciómetro de 10 kΩ. A continuación, suponiendo una

entrada de 2,2 V de amplitud en la entrada de audio, se definió R_1 como una resistencia fija de 50 k Ω , haciendo así una ganancia A_v de 1,2.

Una vez definidos los valores de la mayoría de componentes que marcan la ganancia del sistema se pasó a aplicar las ecuaciones (Eq. 4.15) y (Eq. 4.16) para el filtrado. Dado que ambos filtros presentan un comportamiento pasa-altos, las frecuencias de corte deben de estar por debajo de los 20 Hz de la banda de audio.

Por lo que respecta a f_1 , seleccionado un condensador de acoplo C_1 de 10 μ C y una frecuencia de corte menor a 10 Hz, se obtiene una resistencia de:

$$R < \frac{1}{2 \cdot \pi \cdot f_1 \cdot C_1} = \frac{1}{2 \cdot \pi \cdot 10 \cdot 10 \cdot 10^{-6}} = 1592 \Omega$$

Fijando R a un valor de 2 k Ω y 1%, se obtiene una frecuencia de corte en 7,95 Hz.

El proceso seguido para f_2 es muy similar al anterior pero definiendo el valor para el condensador. Eligiendo un valor estándar de 1 μ F se obtiene una frecuencia de corte de 3,18 Hz:

$$f_2 = \frac{1}{2 \cdot \pi \cdot R_1 \cdot C_2} = \frac{1}{2 \cdot \pi \cdot 50 \cdot 10^3 \cdot 1 \cdot 10^{-6}} = 3,18 \text{ Hz}$$

Para terminar con la selección de componentes en este apartado, se seleccionó al LM386 como amplificador. Dadas las especificaciones que este presenta y ser un amplificador especializado para audio, le hacen ser una buena elección en esta etapa.

Ahora que se tienen todos los componentes calculados y elegidos, para verificar el correcto funcionamiento de la etapa preamplificadora se simuló el comportamiento de esta. La Figura 4.19 muestra el esquema descrito en los apartados anteriores:

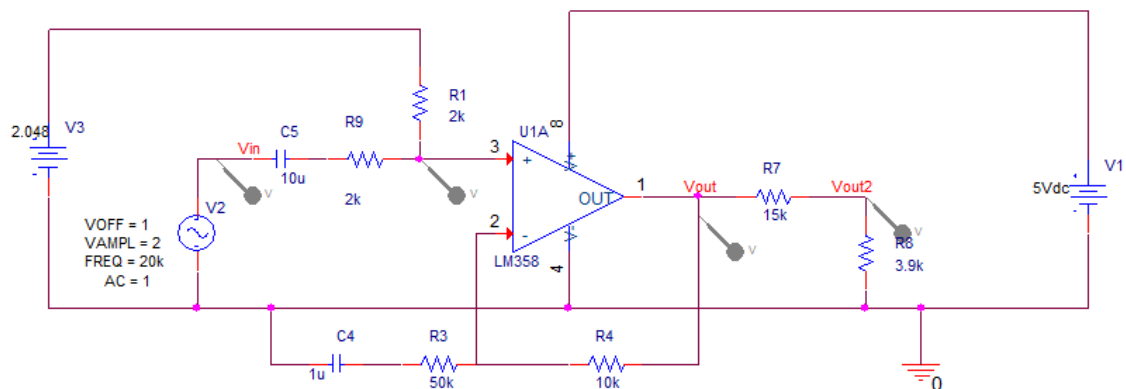


Figura 4.19 Esquema para la simulación de la etapa preamplificadora (Fuente: propia)

Tras realizar la simulación, las siguientes gráficas muestran los resultados obtenidos:

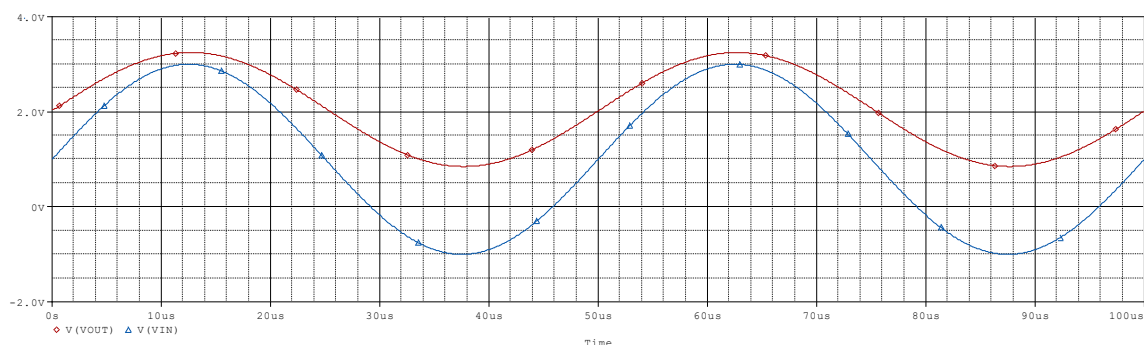


Figura 4.20 Gráfica de simulación etapa preamplificadora – Señal de entrada (Azul), señal de salida amplificación (Roja) (Fuente: propia)

Como muestra la Figura 4.20, el circuito ha eliminado el voltaje en DC que presentaba la señal de entrada (azul) gracias al condensador de acoplo. Tras aplicar la ecuación del sumador de tensión (Eq. 4.14) y multiplicar la señal obtenida por la ganancia, (Eq. 4.13), se obtiene el valor esperado en la salida.

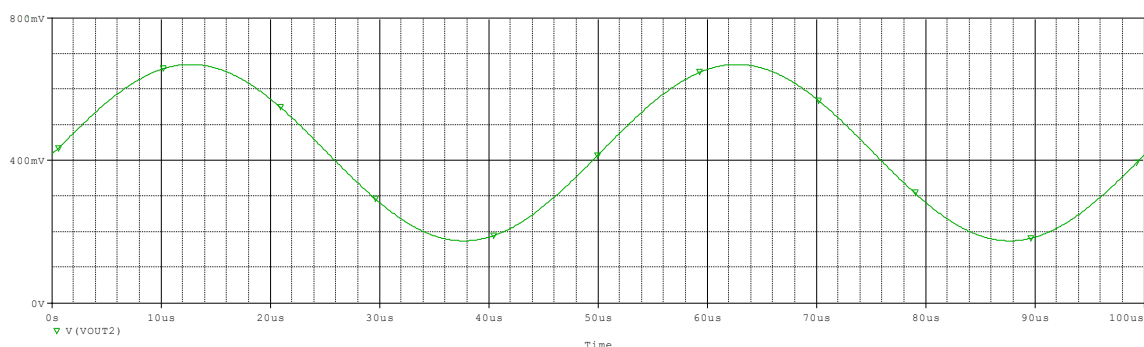


Figura 4.21 Gráfica de simulación etapa preamplificadora – Entrada etapa moduladora (Fuente: propia)

Tras pasar por un divisor, la gráfica anterior muestra la entrada de la etapa de modulación. Como se ha comentado a lo largo de este apartado, los niveles de tensión no deben sobrepasar los márgenes establecidos por el LTC6992 (Figura 4.18) y como se puede ver en la Figura 4.21, estos niveles están dentro del rango permitido por el integrado. De hecho, el valor de ganancia podría ser aumentado si fuese necesario.

Por lo que respecta a los filtros presentes en el circuito, la Figura 4.22 muestra el comportamiento de pasa-altos comentado anteriormente:

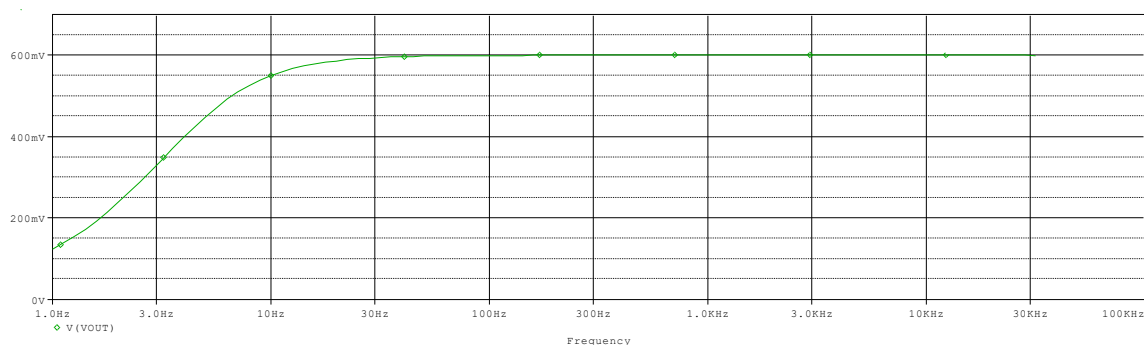


Figura 4.22 Gráfica de simulación etapa preamplificadora – Comportamiento frecuencia de la salida tras la amplificación (Fuente: propia)

Por último, la Figura 4.23 muestra el esquema de los componentes que realizarán la preamplificación en el diseño final:

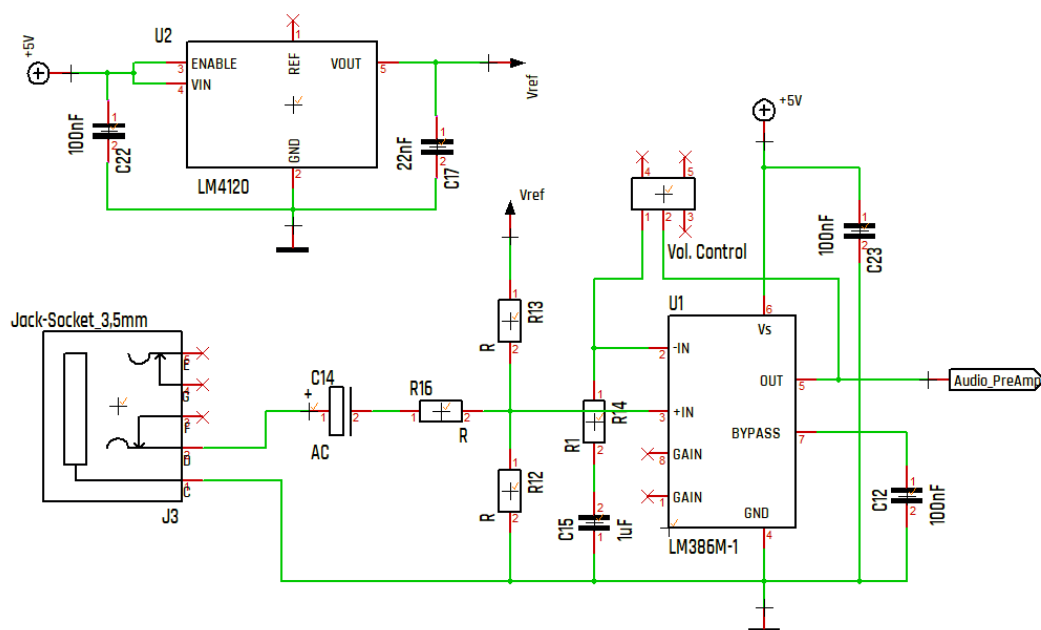


Figura 4.23 Esquema final – Etapa preamplificadora (Fuente: propia)

4.4. Alimentaciones

Una vez descritas todas las etapas que forman parte del camino seguido por el audio en su camino a la amplificación, se realizó el diseño de la alimentación de estas.

Haciendo resumen de los componentes seleccionados y de los niveles de tensión que estos necesitan se pueden agrupar estos en 3 bloques:

- **Alimentación del puente:** Alimentación del puente de transistores en la etapa de potencia del montaje. Como es de esperar, esta es la mayor en magnitud de todo el circuito y la fuente principal de todo el consumo en la placa. Haciendo referencia a la tensión de pico esperada en el puente, se ha fijado en 18 V.
- **Alimentación del driver:** Alimentación del driver y los sistemas de *boot strap*. Se ha decidido fijar en 12 V. La elección viene determinada por el valor recomendado en el *datasheet*.
- **Alimentación de la etapa preamplificador + moduladora:** Alimentación del integrado encargado de la modulación y de la etapa pre-amplificadora. Por lo que respecta a la modulación, el LTC6992 permite un máximo de 5,5 V y los valores de salida en la etapa pre-amplificadora no serán tan elevados, por lo tanto, se ha fijado en 5 V la alimentación.

El siguiente paso seguido para el diseño de la alimentación del circuito es la elección del elemento que permita obtener los niveles de tensión.

Como suele pasar, el primer elemento que viene a la mente cuando se piensa en regular alimentación es un regulador lineal. En este caso, se decidió implementar un elemento diferente. El objetivo de diseño que se ha marcado para esta parte del montaje es el de la eficiencia y un regulador lineal no presenta una eficiencia lo suficientemente elevada.

El componente seleccionado ha sido un *Step Down Regulator Module* (SDRM) de Würth Elektronik®. Este componente, de la serie Mag13C, incorpora un DC-DC integrado que incluye un regulador *buck* conmutado y la bobina de este en un mismo encapsulado.

Para la alimentación de 12 V se ha seleccionado el 171032401, un *Variable Step Down Regulator* el cual, mediante el cálculo de los componentes de la Figura 4.24 permite obtener tensiones en su salida de 5 a 24 V, a un corriente de 3 A y con una eficiencia de pico del 97%.

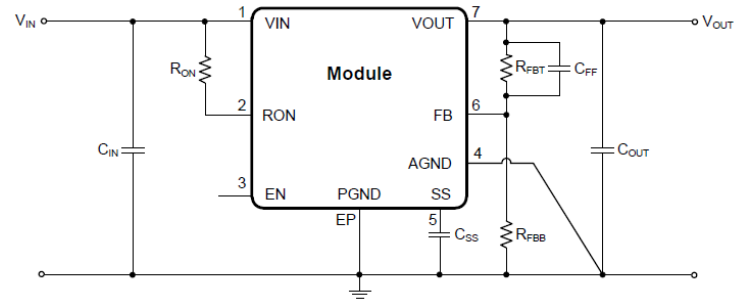


Figura 4.24 Esquema de funcionamiento mínimo del 171032401 (Fuente: (10))

En lo que respecta a la alimentación de 5 V, el componente seleccionado es el 173010542, un *Fixed Step Down Regulator*. A diferencia del anterior modelo, este presenta una tensión fija en su salida de 5 V. La Figura 4.25 muestra el esquema básico del componente.

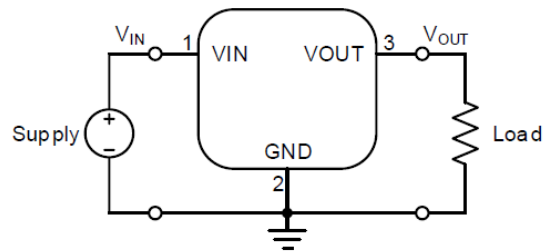


Figura 4.25 Esquema de funcionamiento mínimo del 173010542 (Fuente: (11))

Los cálculos para el valor de estos componentes se recogen en los anexos del trabajo.

Por último, la Figura 4.26 y la Figura 4.27 muestran los esquemas de los elementos que realizará la alimentación del diseño final:

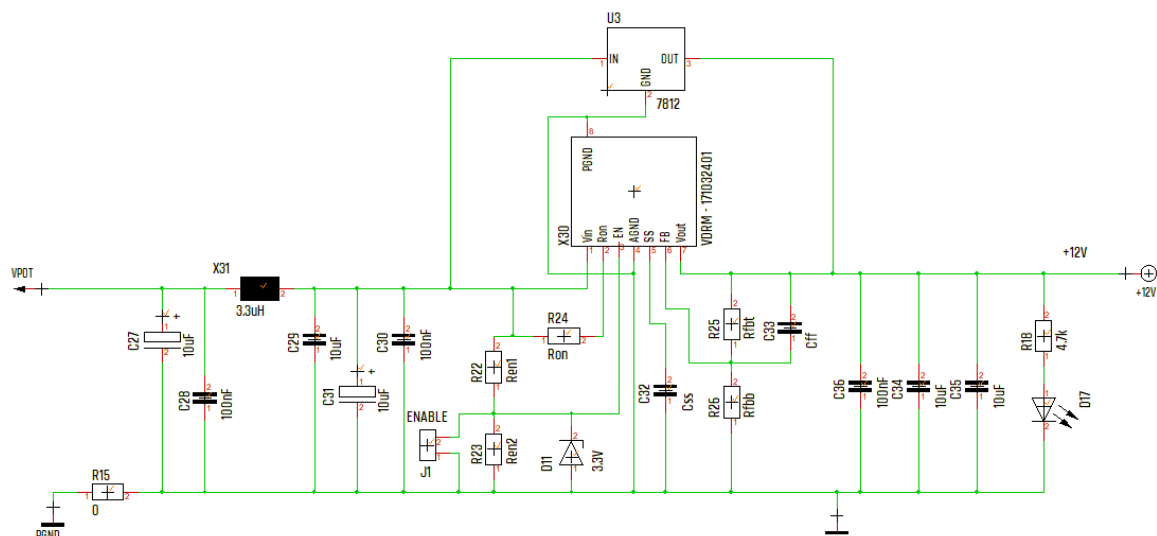


Figura 4.26 Esquema final - Alimentación de 12 V (Fuente: propia)

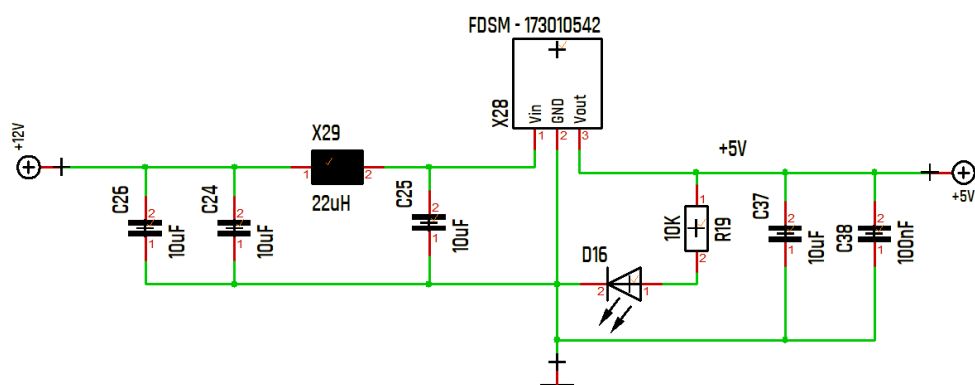


Figura 4.27 Esquema final - Alimentación de 5 V (Fuente: propia)

5. Diseño de la PCB

En ciertas partes de este documento se ha hecho referencia a la importancia que tiene en un amplificador clase D la distribución de los componentes y el diseño del *layout* para un correcto funcionamiento. Esta afirmación viene dada porque, a diferencia de otras clases de amplificadores, un amplificador en clase D trabaja con componentes conmutando a altas frecuencias las cuales pueden crear interferencias en el resto de integrados.

Los siguientes apartados describen el proceso seguido durante esta etapa del diseño. En cada uno se explicarán los posibles problemas a tener en cuenta y la solución adoptada para estos. Por último y a modo de presentación, la Figura 5.1 y Figura 5.2 la muestran el *layout* del prototipo final:

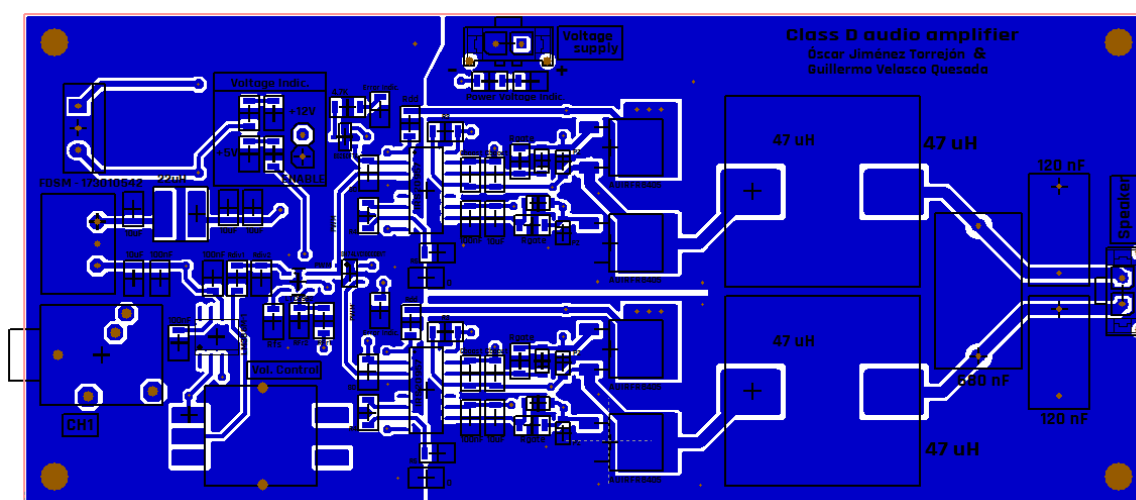


Figura 5.1 Layout de la cara superior de la PCB (Fuente: propia)

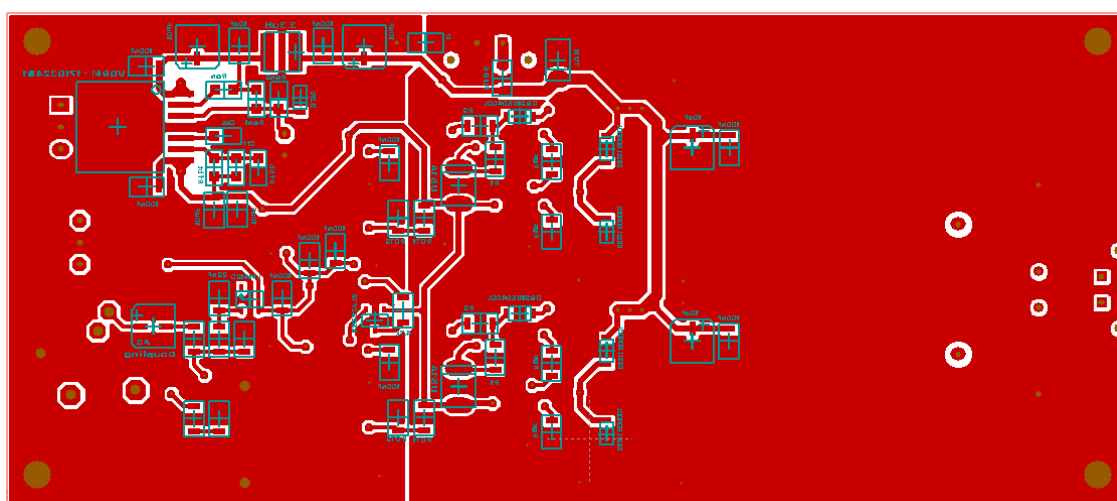


Figura 5.2 Layout de la cara inferior de la PCB (Fuente: propia)

5.1. Layout

En un amplificador en clase D, el diseño del circuito es una parte del trabajo, la otra, es la distribución de estos componentes y conexiones. En este tipo de amplificadores se deben de tener en cuenta ciertos factores que pueden alterar el comportamiento de las señales haciendo que la salida no sea la esperada.

Por una parte, la distribución de los componentes en la placa. Una correcta distribución ayuda a minimizar los posibles problemas y errores que pueden encontrarse durante la etapa de testeo.

Y, por otro lado, la compatibilidad electromagnética entre sistemas del circuito. Dado que se trabaja a elevadas frecuencias, la aparición de EMIs tanto radiadas como conducidas en las líneas de alimentación del circuito, con los interruptores conmutando a elevadas corrientes y a una cierta frecuencia.

5.1.1. Distribución de componentes

Una correcta distribución de los diferentes circuito, sistemas y componentes del circuito ayuda, como es lógico al correcto funcionamiento de este.

Para empezar con esta distribución se han agrupado los elementos en bloques que desempeñan la misma función:

- Audio de entrada
- Etapa acondicionadora
- Control de volumen
- Modulación PWM
- Drivers
- Protecciones
- Puente de transistores
- Filtros

La idea de realizar estas agrupaciones viene de la necesidad de intentar alejar a los elementos que pueden (y lo harán) interferir en el funcionamiento de los sistemas sensibles a estas perturbaciones.

La distribución mostrada en la Figura 5.3 intenta, en la manera de lo posible, minimizar los efectos de estas interferencias aplicando ciertas técnicas, conceptos y distribuciones recogidas en el documento (12) de la bibliografía.

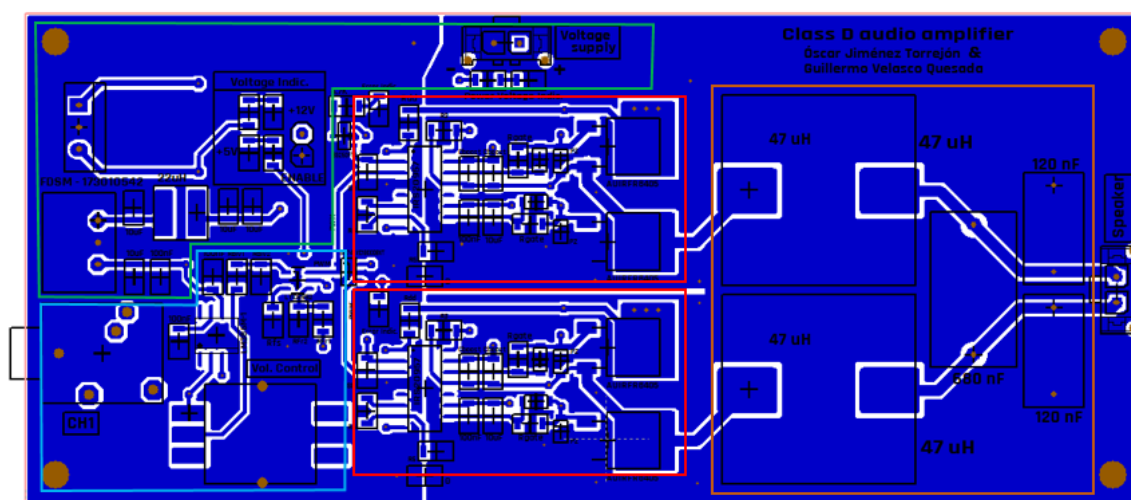


Figura 5.3 Distribución de bloques en la PCB – Drivers (rojo), filtro de salida (naranja), preamplificadora (azul) y alimentaciones (verde) (Fuente: propia)

Como se muestra en la figura, las etapas que realizan la misma función se han distribuido en bloques. De esta forma, se consigue aislar la etapa analógica de los problemas que se verán en el siguiente apartado por parte del driver.

5.1.2. Layout del driver

Ahora, se tienen los elementos separados y distribuidos en zonas de la PCB para eliminar los posibles problemas de compatibilidad, pero esta solución no tiene sentido si no se diseña el *layout* de cada uno de estos bloques para que, internamente, no afecte su funcionamiento o incluso a terceros.

Los bloques que deben ser tratados como un posible foco de problemas son los drivers y las conmutaciones producidas por los transistores.

Por lo que respecta al driver. A continuación, se hará una explicación teórica de los ciclos de corriente durante el control que realiza el componente. Al final de esta explicación se expondrán las soluciones adoptadas para minimizar los efectos negativos que puedan aparecer.

Los caminos de corriente: Durante los ciclos de conducción de los transistores, el driver carga y descarga el condensador de puerta del MOSFET. Estos ciclos crean caminos de corriente los cuales están directamente relacionados con el tiempo que tardará el transistor en dispararse o en cerrarse.

La Figura 5.4 muestra los caminos que realizan los diferentes flujos de corriente durante el encendido del transistor inferior del puente:

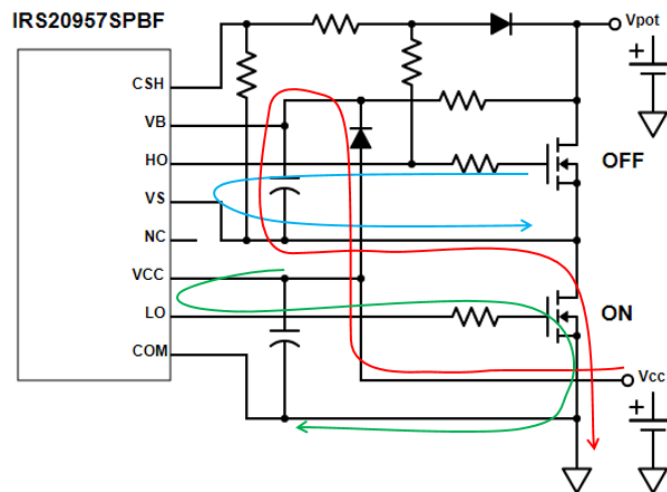


Figura 5.4 Caminos de corriente en el encendido del MOSFET inferior (Fuente: propia)

- **Camino azul:** Este camino se debe a la descarga del condensador de puerta en el transistor superior una vez se da su orden de apagado. Esta corriente circula por dentro del driver, entre sus terminales HO y VS.
- **Camino rojo:** Una vez se da la orden de encendido del transistor inferior, este es conectado a GND permitiendo que el condensador de *boot strap* sea cargado por el diodo.
- **Camino verde:** Cuando el driver da la orden de encendido del transistor, la puerta de este es carga por el corriente que circula entre VCC y LO.

Al igual que con el transistor inferior, al ordenar el disparo del transistor superior se crean caminos de corriente. La Figura 5.5 representa estos:

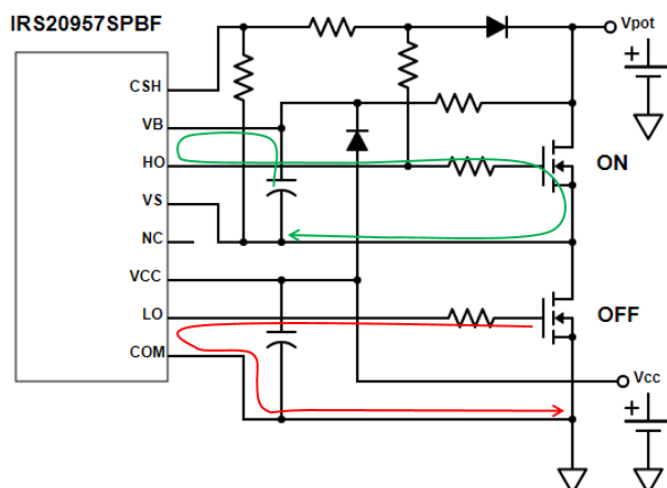


Figura 5.5 Caminos de corriente en el encendido del MOSFET superior (Fuente: propia)

- **Camino rojo:** Este camino se debe a la descarga del condensador de puerta del MOSFET. El driver conecta internamente LO con GND por medio de COM.
- **Camino verde:** El driver conecta VB con HO haciendo que el condensador de *boot strap* cargue la puerta del MOSFET superior y haciendo que entre en conducción.

Una vez se conocen estos *loops* de corriente, el diseño de la placa debe de reducir, dentro de lo posible, los efectos negativos que puedan causar. A continuación, se explicarán las estrategias seguidas:

- **Diodo de puerta:** Durante los ciclos de apagado en un transistor, el condensador de puerta debe ser descargado. Como se ha visto en los apartados anteriores, el driver permite la salida de estos corrientes. Pese a esto, en la Figura 5.4 se observa como estos corrientes pasan por la resistencia de puerta haciendo que su descarga sea más lenta y, por lo tanto, haciendo que el transistor tarde más en cerrarse.

Para reducir el tiempo de apagado en los transistores se ha añadir un diodo entre los extremos de las resistencias de puerta en los dos MOSFETs.

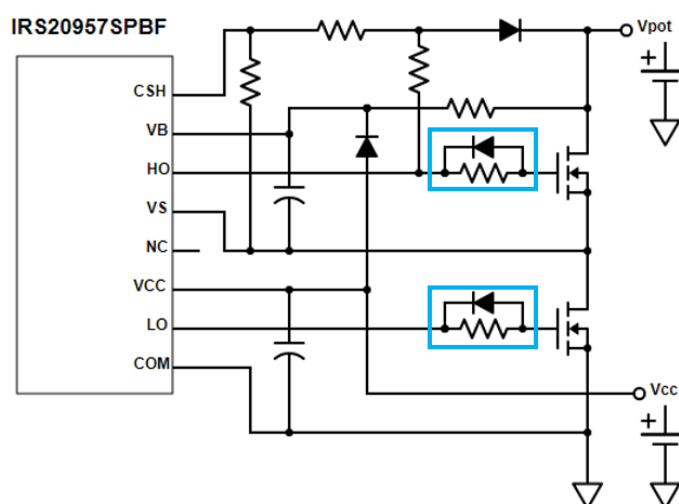


Figura 5.6 Diodos de *Turn-off* (Fuente: propia)

- **Longitud de las pistas:** Durante la tirada de pistas, se ha intentado reducir la longitud física de las pistas que intervienen en los ciclos de carga/descarga. Por una parte, al localizar y agrupar estas señales de altas frecuencias en zonas que no afecten a otros tipos de sistemas, se reduce la propagación de las posibles interferencias por acoplo entre pistas.

También, reduciendo la longitud de estas se minimiza la aparición de inductancias parásitas, Figura 5.7, que pueden crear resonancias y oscilaciones no deseadas en el circuito.

Un ejemplo de estas es el famoso *ringing*, efecto presente durante la conmutación de los transistores y consecuencia directa del tanque LC producido por estas inductancias y el condensador de puerta del MOSFET.

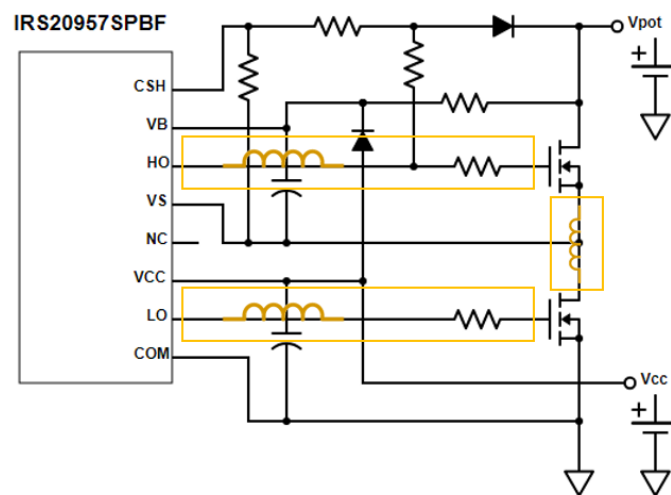


Figura 5.7 Fuentes de posibles inductancias parasitas (Fuente: propia)

Para minimizar estos efectos, aparte de aislar estas señales, se ha dado prioridad durante el enrutado a todos los caminos de corriente comentados a lo largo de este apartado.

5.1.3. Condensadores

Uno de los componentes que han marcado el correcto funcionamiento de ciertas partes han sido los condensadores. Las funciones que desempeñan: estabilizar la tensión de los puertos a los que están conectados y el desacoplo de posibles caminos que pueden tomar las interferencias por el circuito.

Estos condensadores han sido situados lo más cerca posible de los terminales para estabilizar la tensión suministrada. El tipo de condensador seleccionado viene definido por su función en el circuito. Para los integrados por los que circula relativamente poca corriente (etapa preamplificadora) se han colocado condensadores cerámicos de un valor bajo, por ejemplo 100 nF, dado que son mucho más rápido que los electrolíticos y de menor tamaño.

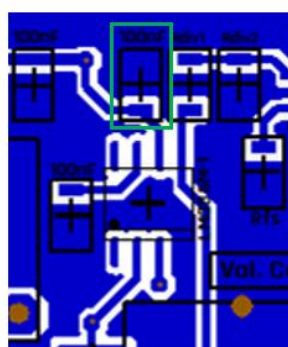


Figura 5.8 Posición del condensador en el integrado de preamplificación (Fuente: propia)

Para el circuito de *boot strap* se han colocado dos condensadores en paralelo, uno de mayor capacidad para estabilizar la tensión (10 μ F) y otro de menor (100 nF) en paralelo que sirve de desacoplo de las corrientes de alta frecuencia presentes en esta parte del circuito.

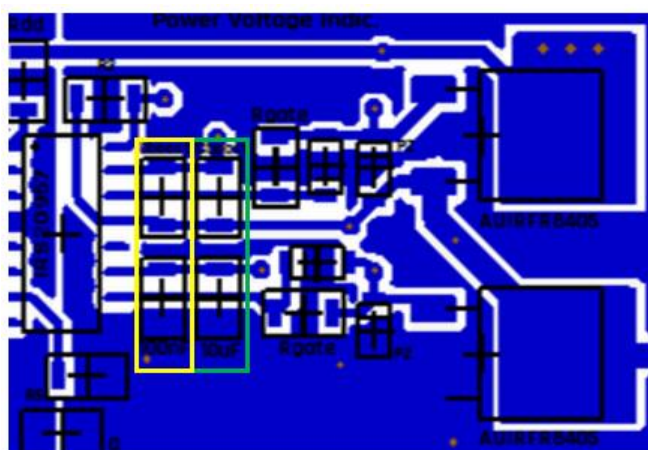


Figura 5.9 Posición de los condensadores en el driver – Estabilización de las alimentaciones (verde), Desacoplo de corrientes con altas frecuencias (amarillo) (Fuente: propia)

Otros ejemplos de condensadores en paralelo con este mismo propósito son los usados en el puente de salida. Para estabilizar esta tensión se han colocado condensadores electrolíticos en paralelo con un condensador cerámico. Al igual que con el circuito de *boot strap*, el condensador de mayor valor estabiliza la tensión en el puente y el cerámico elimina las corrientes con componentes de alta frecuencia, como muestra la Figura 5.10.

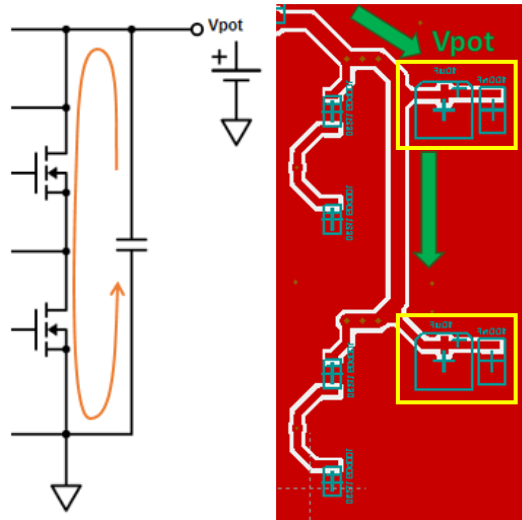


Figura 5.10 Posición de los condensadores en el puente de salida – Camino del corriente de recuperación en inversa (derecha), Posición de los condensadores en el puente (izquierda) (Fuente: propia)

Por otro lado, estos condensadores también sirven para minimizar los caminos de corriente que se crean durante la recuperación de los transistores en el puente y deben ser colocados cerca del drenador.

5.2. Dimensionamiento de pistas

Una vez definidas las distribuciones realizadas en los apartados previos, se dimensionó el ancho que deben tener las pistas del puente de salida. A diferencia del resto de pistas en el circuito, estas verán una corriente elevada circulando por ellas y tendrán que ser capaces de soportarlo.

Las dimensiones de una pista limitan la cantidad de amperios que pueden circular por ella. En el caso de la PCB fabricada, el alto de las pistas es de un valor estándar de 1 onza. El valor que se puede modificar por lo tanto es el ancho.

Las expresiones siguientes determinan el ancho mínimo que debe tener una pista por la que circule una corriente I_{MAX} .

$$A = \left(\frac{I_{MAX}}{K_1 \cdot \Delta T^{K_2}} \right)^{1/K_3} \quad (\text{Eq. 5.1})$$

$$W = \left(\frac{A}{H \cdot 1,1378} \right) \quad (\text{Eq. 5.2})$$

Donde A es el área, W el ancho y H el alto de la pista; ΔT es el incremento de temperatura con respecto a la ambiental que se desea tener como máximo, K_1 , K_2 y K_3 son constante de las curvas de corriente soportadas por un conductor bajo ciertas condiciones. Estas expresiones han sido utilizadas teniendo en cuenta (13).

Se ha definido una corriente I_{MAX} de 3,5 A, un incremento de temperatura con respecto a la ambiental de 10 °C y una altura de pista de 1 onza. Sustituyendo estos valores en (Eq. 5.1) y (Eq. 5.2), el ancho mínimo de las pistas en el puente de transistores es:

$$W = \left(\frac{\left(\frac{3,5}{0,0647 \cdot (10)^{0,4281}} \right)^{\frac{1}{0,6732}}}{1 \cdot 1,1378} \right) \cdot 0,0254 = 1,69 \text{ mm}$$

5.3. Grounding

En este punto, se tienen todos los componentes posicionados y todas las conexiones han sido realizadas. El último paso sobre la PCB es el *grounding*, la conexión de todos los componentes al punto que marca los niveles de tensión en el circuito, GND.

Como muestra la Figura 4.9, se han utilizado dos señales diferentes GND y PGND unidas por una resistencias de $0\ \Omega$. En esencia, son la misma referencia, pero con diferentes tipos de elementos conectados a ella. Todos los elementos de la etapa de potencia (transistores, drivers y filtro de salida) están referenciados a este punto. Por otro lado, el resto de componentes (etapa preamplificadora, moduladora y alimentación) han sido conectado a GND. La idea de dividir estos puntos del circuito viene de la necesidad de eliminar las tensiones flotantes en el circuito y unificar una única referencia.

Dado que la etapa del driver presenta corrientes de muy alta frecuencia, estas pueden afectar a sus niveles de tensión, haciendo que, por ejemplo, la tensión que puede aplicar el driver entre puerta y surtidor no sea la calculada.

Para intentar minimizar estos efectos, se ha aplicado el concepto de ‘plano de masas’. Este plano conecta todos los puntos con la misma señal (en este caso, GND y PGND) repartiendo esta referencia por toda la PCB. En la Figura 5.11 se pueden ver los dos planos de masas presentes en la PCB:

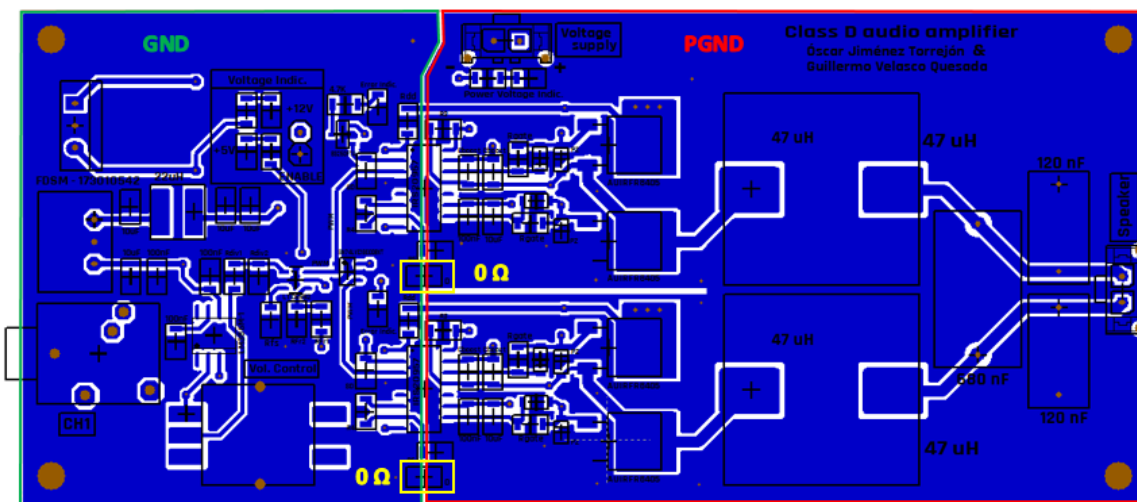


Figura 5.11 Planos de masa realizados en la PCB (Fuente: propia)

Por otro lado, al aplicar un plano de masas favorece el poder eliminar capacitancias parásitas que se pueden producir por el paso de 2 pistas en paralelo y por otro, como se ha comentado, a unificar las referencias de tensión en todos los puntos de la PCB.

6. Puesta a punto del prototipo

Durante los siguientes apartados se describirá el camino y los resultados obtenidos durante las pruebas realizadas. A principio de cada uno se explicarán las pruebas realizadas y, en caso de haber, las soluciones de problemas encontrados en el diseño original.

6.1. Alimentación de la placa

Tras soldar los compontes, se empezó a comprobar el correcto funcionamiento de la alimentación de 12 V. Para validar su correcto funcionamiento y que efectivamente el *step down* realizaba la regulación de las tensiones que entraban por el conector principal fijando siempre la salida a 12 V, se varió la entrada de la placa a diferentes valores: 15 V, 18 V y 24 V.

Los niveles de tensión obtenidos no mostraban grandes variaciones con respecto a los 12 V definidos.

El proceso seguido para verificar el funcionamiento en la alimentación de 5 V fue exactamente igual; para diferentes entradas de tensión se verificó que la tensión de salida no variase.

Por último, se midieron todos los puntos donde estas dos tensiones deberían estar presentes con ayuda de un multímetro. Con esa comprobación se podrá eliminar un posible foco de problemas durante la prueba del resto de componentes.

6.2. Etapa preamplificadora

Las pruebas de la etapa preamplificadora y el control de volumen comenzarán verificando que la tensión de referencia en el circuito sumador era la esperada. A continuación, se soldaron el resto de componentes hasta llegar a la entrada de la etapa siguiente, la moduladora.

Para verificar la correcta amplificación se utilizó un generador de funciones. Dada una entrada sinusoidal con 1 V de amplitud y frecuencia de 20 kHz, se capturaron las siguientes señales en la salida del amplificador operacional:

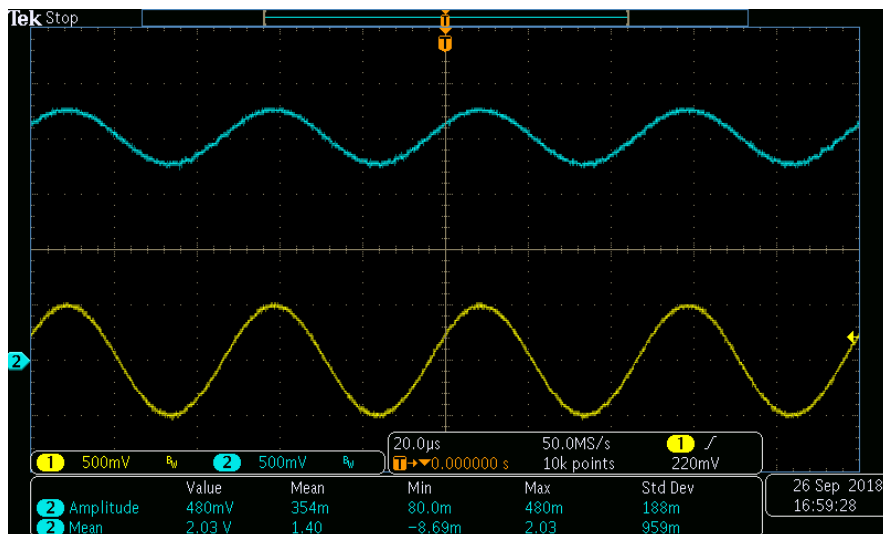


Figura 6.1 Señal de entrada a la etapa preamplificadora (traza inferior); Señal de salida, $A_v = 1$ (traza superior). Escalas de tensión: CH1 500 mV/DIV, CH2: 500 mV/DIV. Escala de tiempos: 20 μ s/DIV.

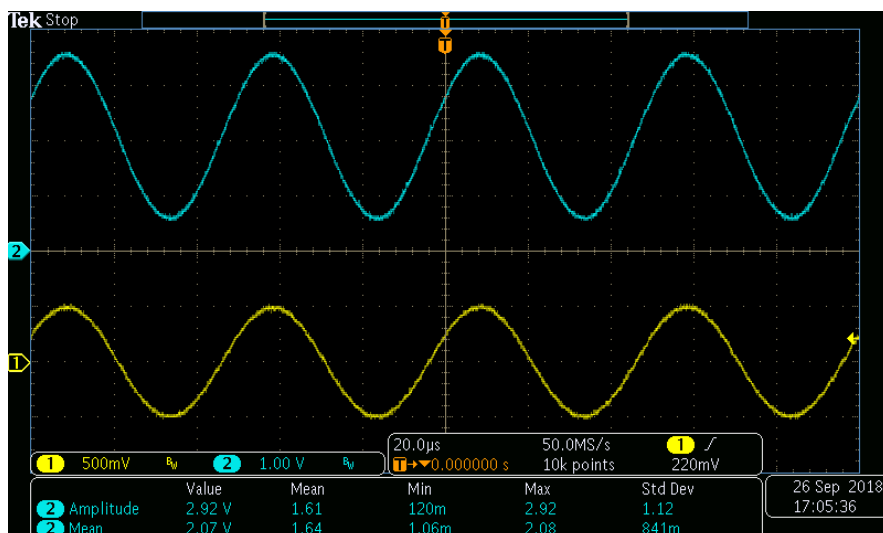


Figura 6.2 Señal de entrada a la etapa preamplificadora (traza inferior); Señal de salida, $A_v = 6$ (traza superior). Escalas de tensión: CH1 500 mV/DIV, CH2: 1 V/DIV. Escala de tiempos: 20 μ s/DIV.

Como se puede ver la Figura 6.1 y aplicando las ecuaciones (Eq. 4.13) y (Eq. 4.14), la señal obtenida en la salida del amplificador concuerda con lo esperado.

Por otro lado, se decidió aumentar la ganancia (A_v) del amplificador. Se consideró que esta era insuficiente y se obtenían tensiones muy por debajo de las deseadas. Habiendo cambiado la ganancia a 6 y aplicando la misma señal de entrada, se comprobó la correcta amplificación de esta como muestra la Figura 6.2.

Una vez probada la salida de amplificador, se pasó a medir la entrada en la etapa modulada. Como se puede ver en la Figura 4.18, la señal de entrada en esta etapa debe de estar entre estos límites.

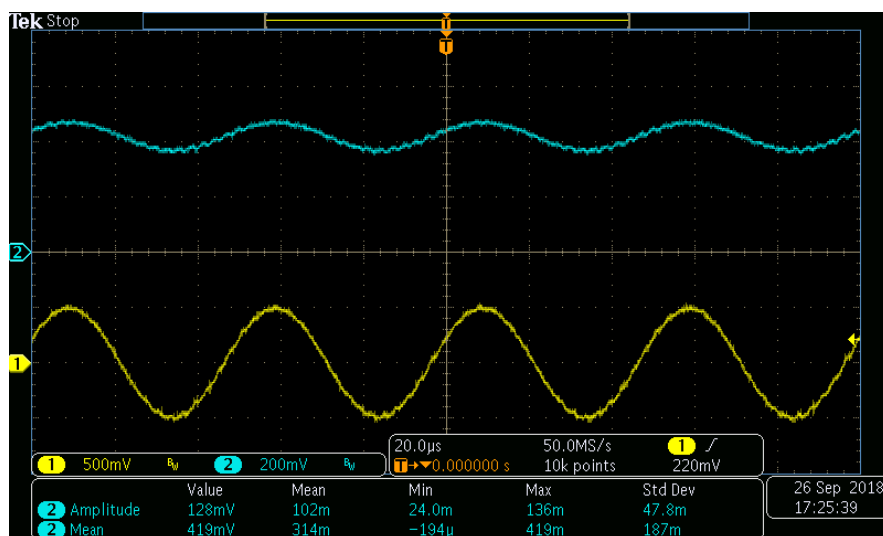


Figura 6.3 Señal de entrada a la etapa preamplificadora (traza inferior); Señal de entrada a la etapa moduladora, $A_v = 1$ (traza superior). Escalas de tensión: CH1 500 mV/DIV, CH2: 200 mV/DIV. Escala de tiempos: 20 µs/DIV.

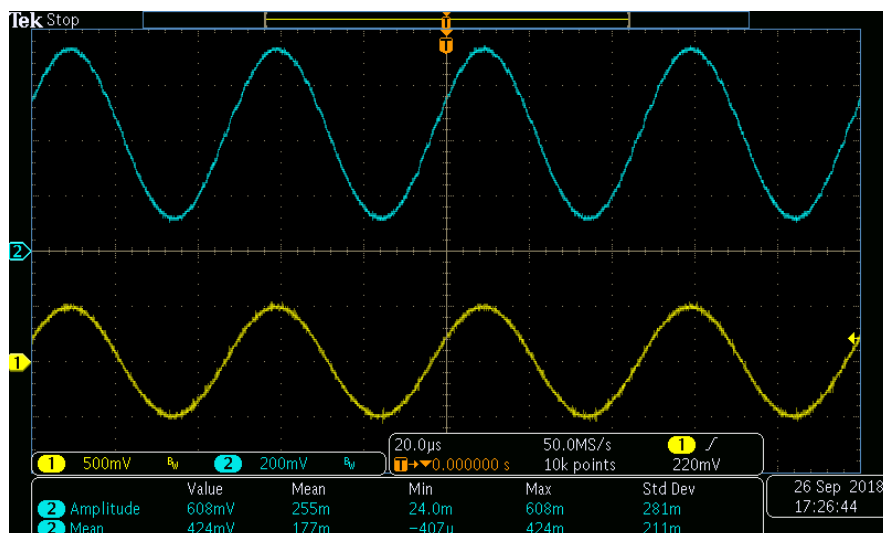


Figura 6.4 Señal de entrada a la etapa preamplificadora (traza inferior); Señal de entrada a la etapa moduladora, $A_v = 6$ (traza superior). Escalas de tensión: CH1 500 mV/DIV, CH2: 100 mV/DIV. Escala de tiempos: 20 µs/DIV.

Como muestran las anteriores figuras, con la máxima ganancia, la amplitud máxima es de 730 mV y la mínima de 140 mV, asegurando una modulación por parte del integrado.

6.3. Etapa moduladora

Tras verificar que los niveles de tensión en la salida de la etapa preamplificadora son los correctos, se pasó a probar la modulación.

Para empezar a probar el correcto funcionamiento del integrado, se conectó este directamente a una fuente de alimentación. El objetivo de esta prueba era el de comprobar si efectivamente el *duty cycle* y la frecuencia son los valores calculados:

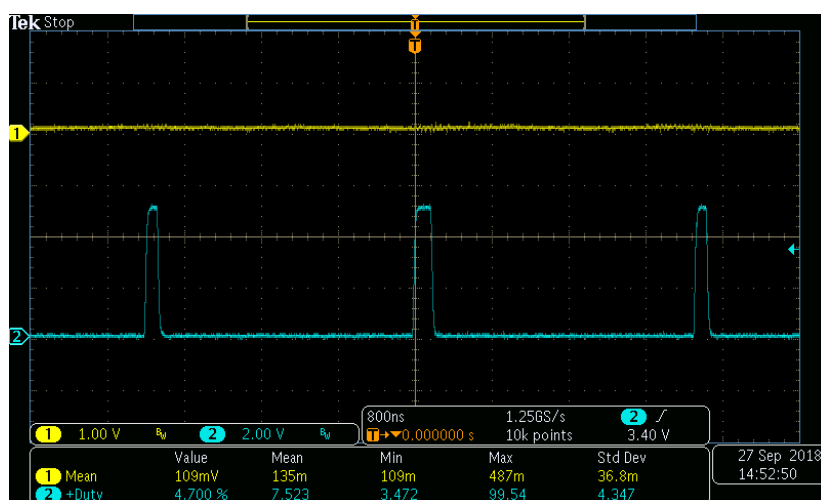


Figura 6.5 Señal de entrada a la etapa moduladora (traza superior); Modulación obtenida en la salida, *duty cycle* del 5% (traza inferior). Escalas de tensión: CH1 1 V/DIV, CH2: 2 V/DIV. Escala de tiempos: 800 ns/DIV.

Para valores inferiores a 0,14 V, marcado por el integrado, se observa un *duty cycle* del 5% en la señal obtenida a la salida.

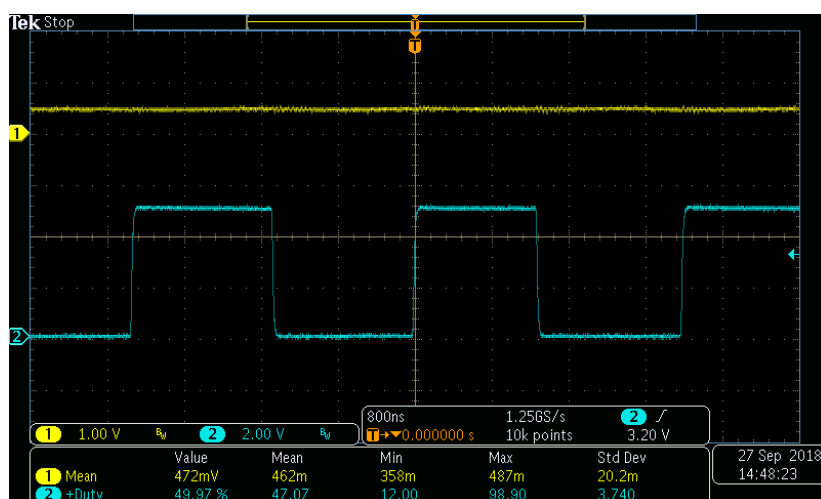


Figura 6.6 Señal de entrada a la etapa moduladora (traza superior); Modulación obtenida en la salida, *duty cycle* del 50% (traza inferior). Escalas de tensión: CH1 1 V/DIV, CH2: 2 V/DIV. Escala de tiempos: 800 ns/DIV.

En el caso del valor medio, para el cual, el integrado tendría que entregar un *duty cycle* del 50%, se estimó este en 0,515 V. Tras medir su valor sobre el circuito, se observó que este rondaba los 0,50 V.

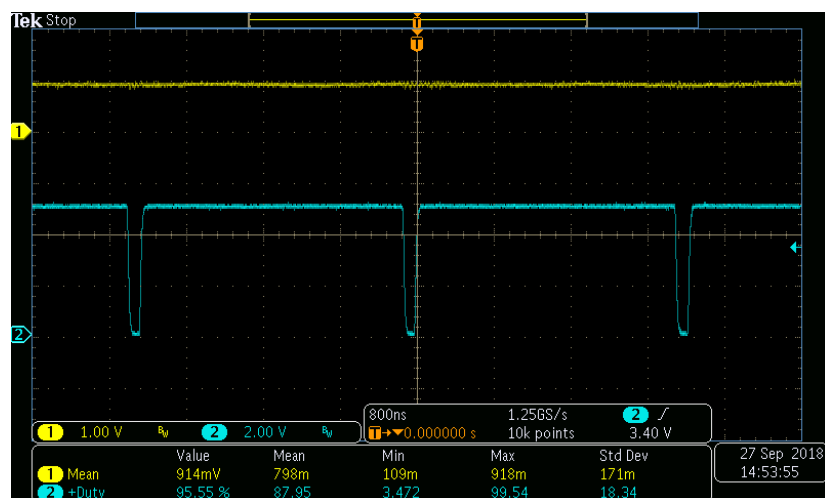


Figura 6.7 Señal de entrada a la etapa moduladora (traza superior); Modulación obtenida en la salida, *duty cycle* del 95% (traza inferior). Escalas de tensión: CH1 1 V/DIV, CH2: 2 V/DIV. Escala de tiempos: 800 ns/DIV.

Para el caso del límite superior, se comprobó que, para tensiones mayores a 0,89 V, se obtenía una salida con un *duty cycle* del 95%. También, se puede observar como el componente trabaja bien a altas frecuencias, en este caso, se probó una modulación al doble de la frecuencia de conmutación, 700 kHz.

Una vez probada esta parte se pasó a comprobar la correcta modulación de otras formas de onda. Como muestra la Figura 6.8, con un generador de funciones se aplicó una señal sinusoidal:

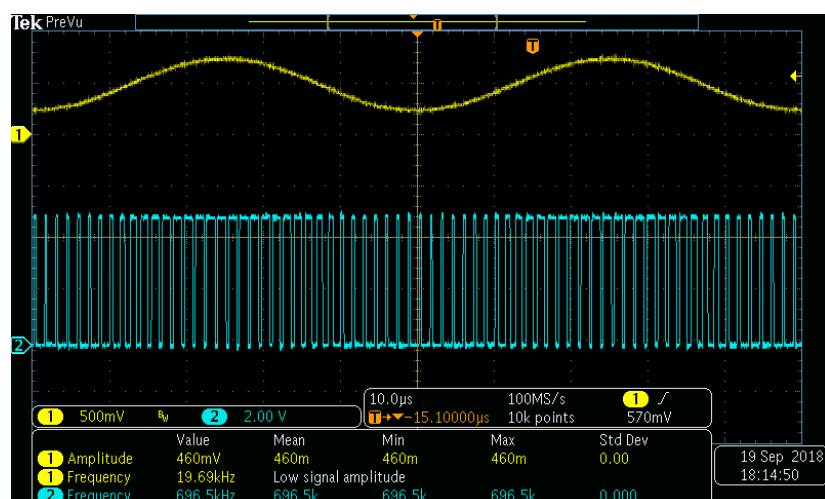


Figura 6.8 Señal de entrada a la etapa moduladora (traza superior); Señal obtenida a la salida (traza inferior). Escalas de tensión: CH1 500 mV/DIV, CH2: 2 V/DIV. Escala de tiempos: 10 μ s/DIV.

6.4. Driver

El siguiente paso del testeo de la PCB fueron los drivers. Dado que es un sistema simétrico se decidió testear un único driver y, tras confirmas el correcto funcionamiento de este, soldar y probar la otra parte del puente.

Para esta fase de pruebas se decidió programar un DT de 80 ns, el mayor producido por el componente, para verificar más adelante su cumplimiento en las señales de control de los MOSFETs. Por otro lado, se hizo funcionar al puente en vacío, sin soldar los componentes del filtro y sin una carga. El objetivo era únicamente verificar que se hacía conmutar a los transistores.

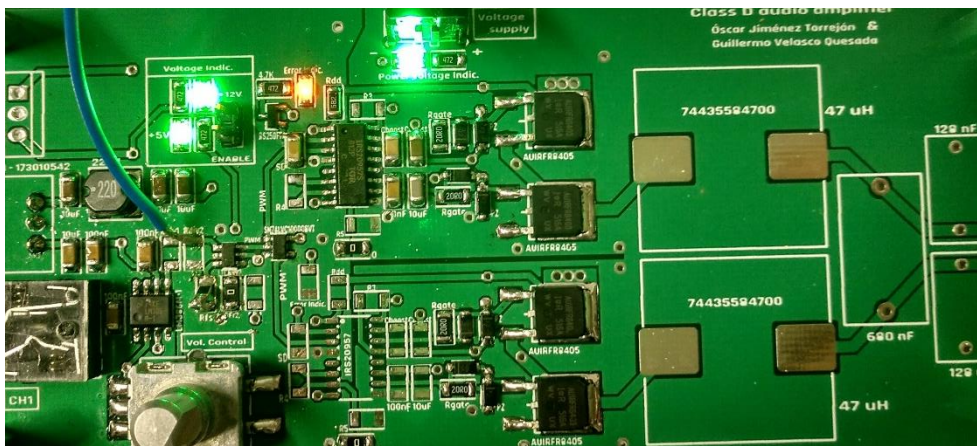


Figura 6.9 Imagen de la PCB – LED indicador de error (Fuente: propia).

Durante las primeras pruebas no se consiguieron hacer conmutar los transistores. En la figura anterior, se puede ver un LED rojo encendido. Este indicador avisa de un proceso de *reset* en el driver por un problema detectado en las protecciones que este incorpora. Mientras no se solucione este problema, el driver entrará en este proceso una y otra vez.

Tras mirar en detalle las señales en los puertos del driver, se encontró la causa de este *reset* constante.

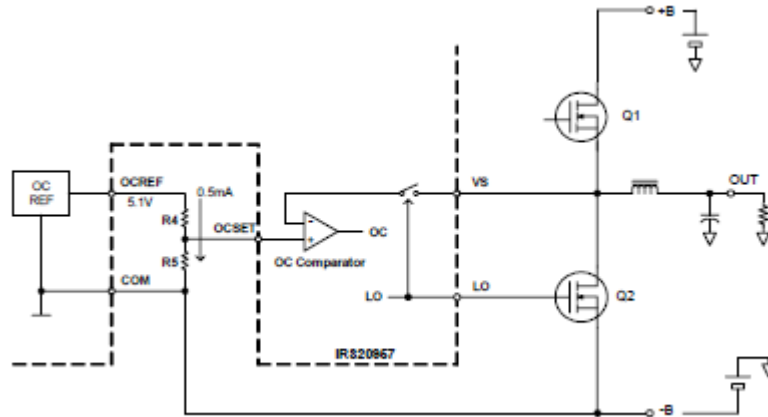


Figura 6.10 Esquema del circuito para el sensado de corriente en el driver (Fuente: (6)).

La Figura 6.10 muestra el esquema del driver para la protección del transistor inferior. En caso de tener una tensión en VS mayor a la de OCSET el integrado entrará en estado de *shutdown*.

La causa de este error viene de la carga en el circuito de *boot strap*. Como se puede ver en la Figura 5.4, la carga de los condensadores se realizar directamente desde 12 V pasando únicamente por el diodo. Al hacer la carga, se genera un pico de tensión que hace saltar la protección. Este efecto se produce cada vez que el driver intenta controlar el MOSFET inferior.

La solución a este problema pasa por añadir una resistencia antes del diodo de *boot strap*, de esta forma, la carga de los condensadores se realizar siguiendo una constante de tiempo:

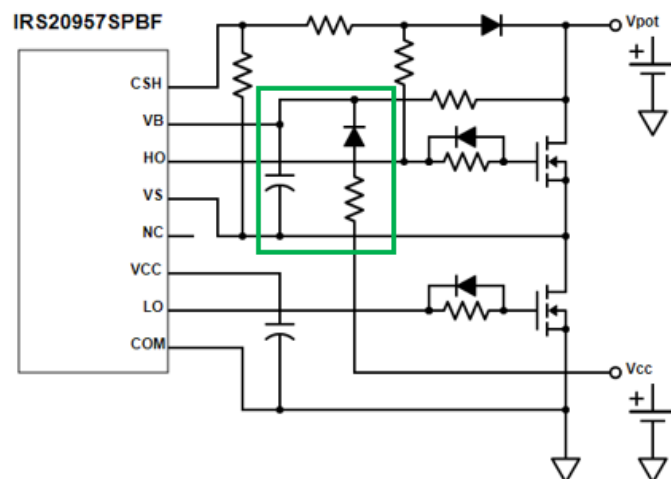


Figura 6.11 Circuito de carga para los condensadores de *boot strap* (Fuente: propia).

Tras comprobar que el integrado iniciase correctamente la conmutación de los transistores se pasó a la captura de las señales que los controlaba:

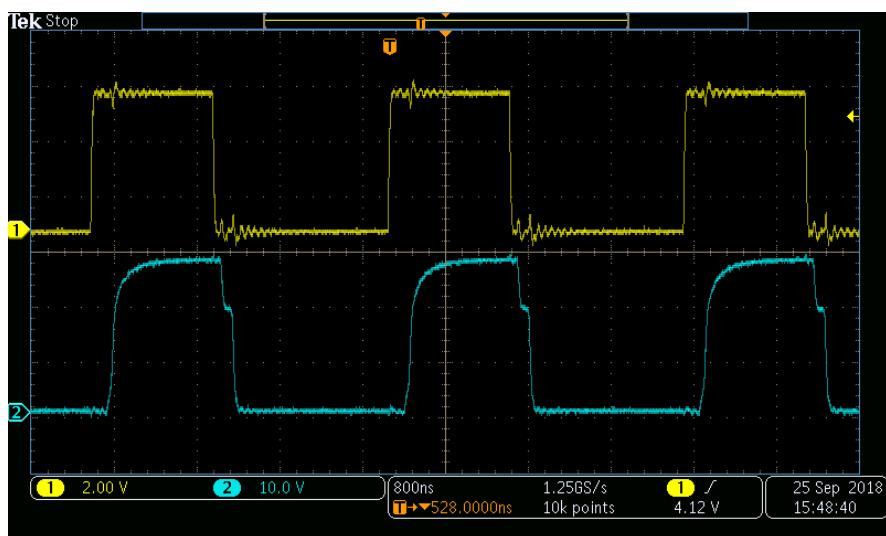


Figura 6.12 Señal PWM de entrada (traza superior); Señal de control para el MOSFET superior (traza inferior).
Escala de tensión: CH1 2 V/DIV, CH2: 10 V/DIV. Escala de tiempos: 800 ns/DIV.

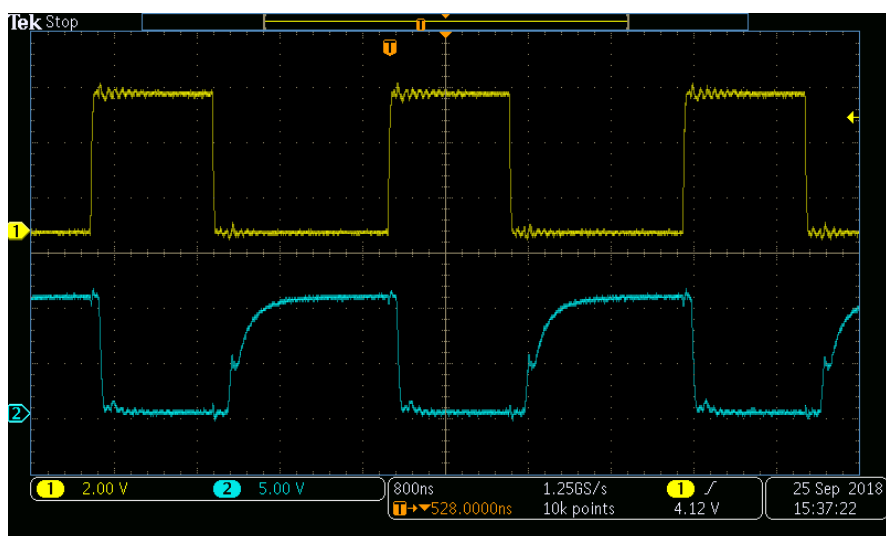


Figura 6.13 Señal PWM de entrada (traza superior); Señal de control para el MOSFET inferior (traza inferior).
Escala de tensión: CH1 2 V/DIV, CH2: 10 V/DIV. Escala de tiempos: 800 ns/DIV.

Como muestra la Figura 6.12 y la Figura 6.13, las señales de control son las esperadas y no se observan problemas por la frecuencia de conmutación. En caso de ser así, se habría tenido que reducir la resistencia de puerta para que la carga del condensador tuviera una constante de tiempo más rápida.

En el capítulo anterior se mencionó la posible presencia del *ringing* producido por la inductancia de las pistas y una elevada pendiente para la carga del condensador de puerta. Como se puede observar, la forma de onda es sobreamortiguada, asegurando así una correcta conmutación del transistor.

Por último, se verificó el valor del tiempo muerto de 80 ns programado:

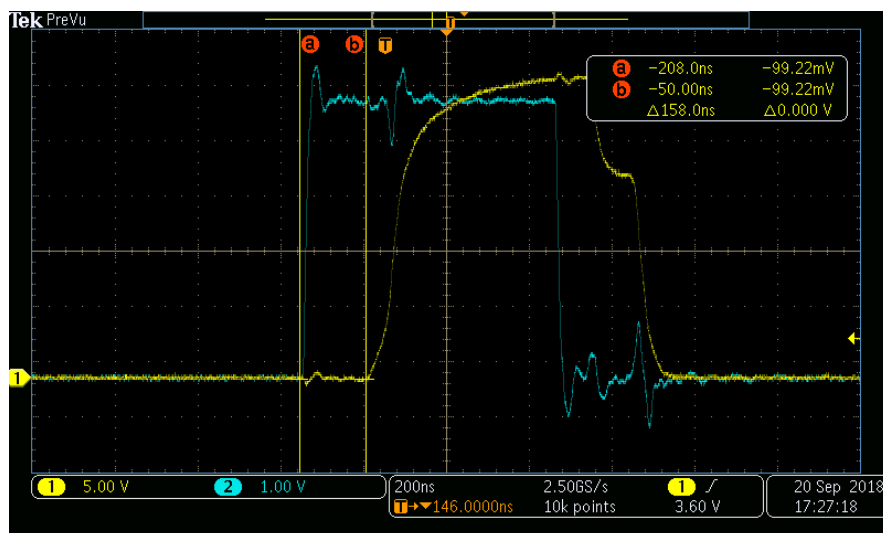


Figura 6.14 Señal PWM de entrada (traza azul); Señal de encendido en el MOSFET superior (traza amarilla). Escalas de tensión: CH1 5 V/DIV, CH2: 1 V/DIV. Escala de tiempos: 200 ns/DIV.

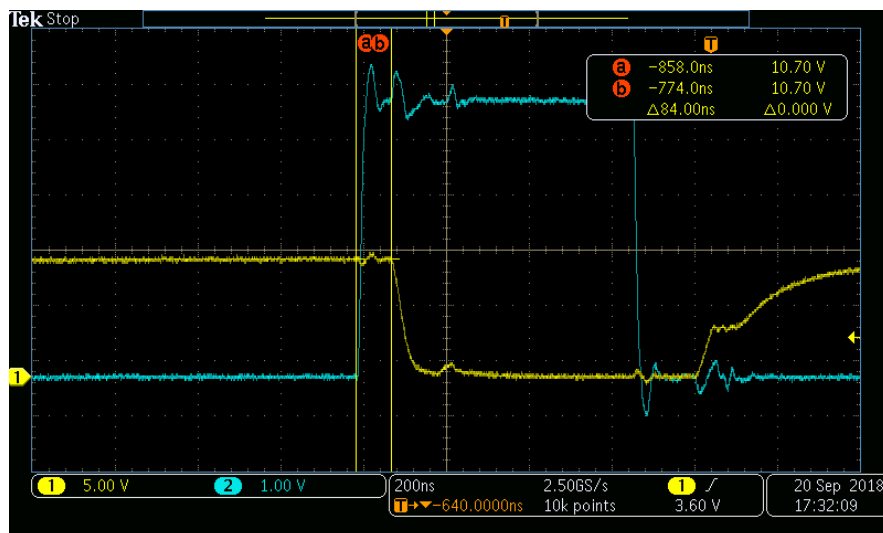


Figura 6.15 Señal PWM de entrada (traza superior); Señal de apagado en el MOSFET inferior (traza amarilla). Escalas de tensión: CH1 5 V/DIV, CH2: 1 V/DIV. Escala de tiempos: 200 ns/DIV.

Por una parte, la Figura 6.14 muestra el tiempo entre la señal de entrada al driver y la tensión generada por este para el transistor superior del puente, siendo este de 158 ns.

Por otro lado, la Figura 6.15, para la misma señal de entrada, muestra el control sobre el transistor inferior del puente. En este caso el tiempo es de 84 ns.

Dado que el *Deadtime* es el periodo de tiempo añadido entre las señales de control en los transistores por parte del driver dada una entrada al IC, este es de unos 74 ns. Muy próximo a los 80 ns esperados.

6.5. Salida del puente

Tras comprobar el funcionamiento de un driver, se pasó a soldar la otra rama del puente y a comprobar el funcionamiento de los dos para, posteriormente, soldar y conectar la carga.

El primer paso fue el de verificar que las dos salidas en los semipuentes fueran complementarias:

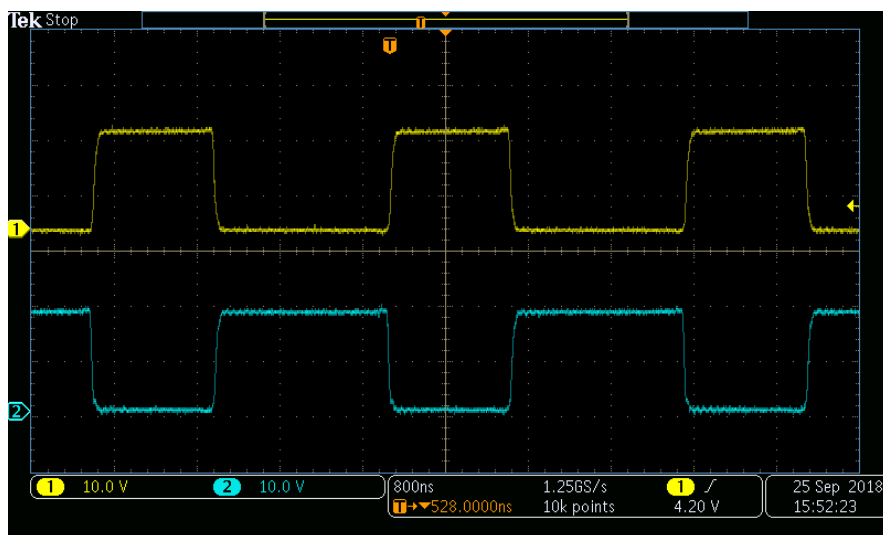


Figura 6.16 Señales de salida para los dos semipuentes – Entrada de control con un *duty cycle* menor al 50%
Escala de tensión: CH1 10 V/DIV, CH2: 10 V/DIV. Escala de tiempos: 800 ns/DIV.

Como muestra la Figura 6.16, para una señal con un *duty cycle* menor al 50%, las formas de onda presentadas en el punto medio de los dos puentes se encuentran negadas entre sí.

Una vez comprobado esto, se procedió a soldar el filtro de salida y una carga para la realización de las siguientes pruebas.

La Figura 6.17 muestra el montaje realizado para esta última fase de pruebas:

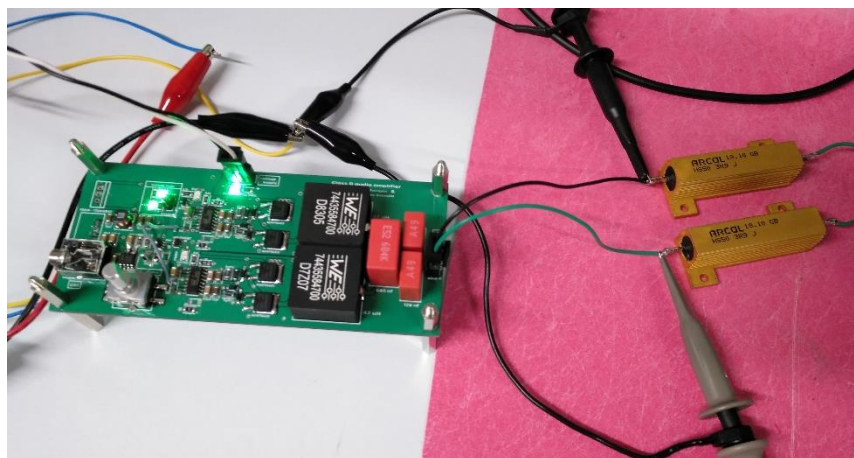


Figura 6.17 Imagen de la PCB - Montaje realizado para medir la salida en el puente completo.

Como se puede observar, la carga para la cual está diseñado el amplificador es la de un altavoz de $8\ \Omega$, se colocaron 2 resistencias en serie de $4\ \Omega$ de 50 W para simular este valor. Por otro lado, puesto que la salida del puente es diferencial, se usaron dos canales del osciloscopio y el canal *Math* para obtener la diferencia entre ambos.

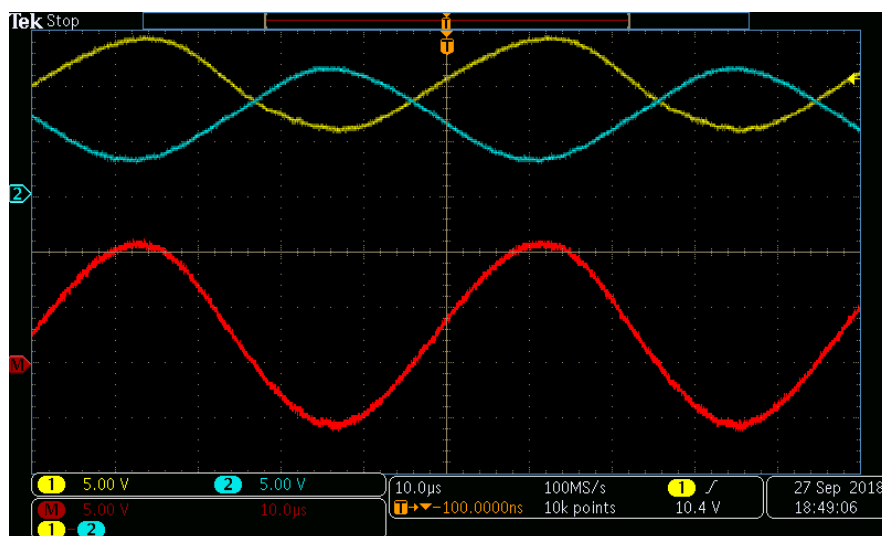


Figura 6.18 Salida de los semipuentes después del filtro demodulador (CH1 y CH2); Señal aplicada sobre la carga, diferencia entre CH1 y CH2 (*Math*); Ganancia máxima. Escalas de tensión: CH1 5 V/DIV, CH2: 5 V/DIV, *Math*: 5 V/DIV. Escala de tiempos: 10 μ s/DIV.

La Figura 6.18 muestra las señales obtenidas en la salida del amplificador para una entrada con forma sinusoidal de 20 kHz y a ganancia máxima del circuito.

Las trazas representadas en el CH1 y en el CH2, representan las señales obtenidas tras el filtro demodulador de los dos semipuentes. Se puede observar como la amplitud de estas dos señales es la misma y desfasadas 180° entre ellas. También, ambas presentan un nivel en continua del que se hará mención a continuación. Por lo que respecta al canal *Math*, traza roja de la captura. Este canal muestra la diferencia entre el CH1 y el CH2. La forma de onda representada será la aplicada entre los extremos del altavoz.

Como se ha mencionado en el párrafo anterior, las señales presentan un nivel en continua diferente entre ellas. Esta diferencia se traduce en una tensión continua aplicada directamente al altavoz como se puede ver claramente en la Figura 6.19.

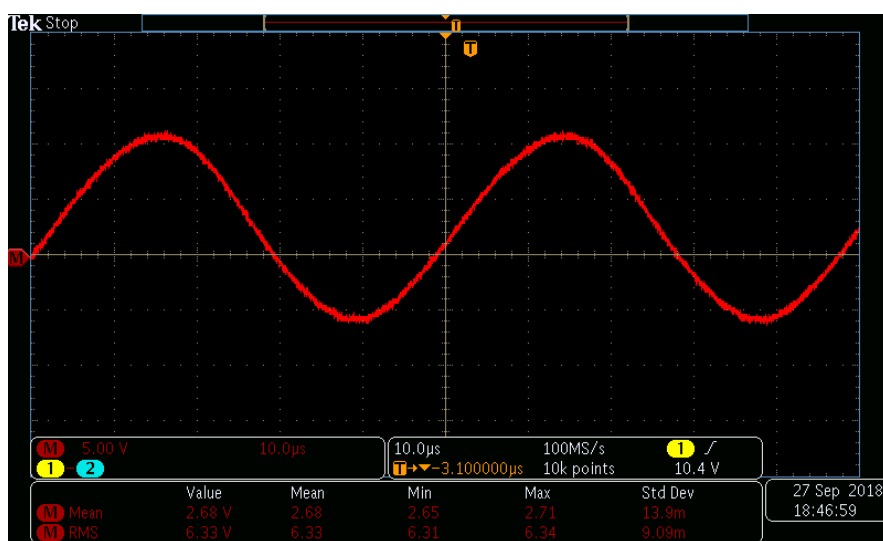


Figura 6.19 Señal aplicada sobre la carga, diferencia entre CH1 y CH2 (*Math*). Escalas de tensión: *Math*: 5 V/DIV. Escala de tiempos: 10 μ s/DIV.

Esta componente en continua creará problemas sobre el altavoz dado que es energía que no se traduce en potencia útil, sino en pérdidas directamente pudiendo incluso dañar el componente.

La causa de esta puede venir dada por la etapa preamplificadora. Durante el paso de la señal por este bloque, se añade una tensión V_{ref} , la cual añade un *offset* para ser modulada posteriormente. En caso de no calibrar correctamente esta tensión dentro de valores mostrados en la Figura 4.18 y realizando un ajuste de cero para este *offset*, la modulación se encontrará desplazada un cierto valor creando la descompensación en los puentes. Pese a esto, se decidió seguir testeando el funcionamiento de otras partes del circuito.

Dada la salida presentada, se decidió estimar la eficiencia que el montaje presentaba. Para ello, se aplicaron las siguientes ecuaciones:

$$\eta = \frac{P_u}{P_c} \quad (\text{Eq. 6.1})$$

Donde η es el rendimiento, P_c la potencia consumida y P_u la potencia entregada a la carga.

$$P_c = V_{IN-RMS} \cdot I_{IN-RMS} \quad (\text{Eq. 6.2})$$

$$P_u = \frac{V_{OUT-RMS}^2}{R_L} \quad (\text{Eq. 6.3})$$

Para realizar la medida de potencia consumida de la fuente se conectó una resistencia *shunt* de 1 Ω en la entrada de alimentación de la placa y midiendo la diferencia de tensión en sus extremos se obtuvo el valor de esta corriente. Dado que se realiza una medida en este punto del circuito, la eficiencia calculada engloba también el resto de componentes de la PCB.

Por otro lado, para realizar la medida de la potencia útil se obtuvo el valor eficaz de la tensión en los extremos de la carga de 8 Ω . El montaje para realizar esta medida es el descrito anteriormente.

Tras realizar las medidas, se puede afirmar:

- Dada la modulación realizada, la cual, viene definida por la ganancia en la etapa preamplificadora, el amplificador entrega la mitad de su potencia.
- Trabajando a media carga, la eficiencia del amplificador diseñado es del 70% a una frecuencia de 1 kHz.

Por último, se decidió verificar el correcto comportamiento en frecuencia del filtro. Para ello se comprobó el desfase entre una entrada al circuito y su salida amplificada. La Figura 6.20 muestra la captura de esta prueba.

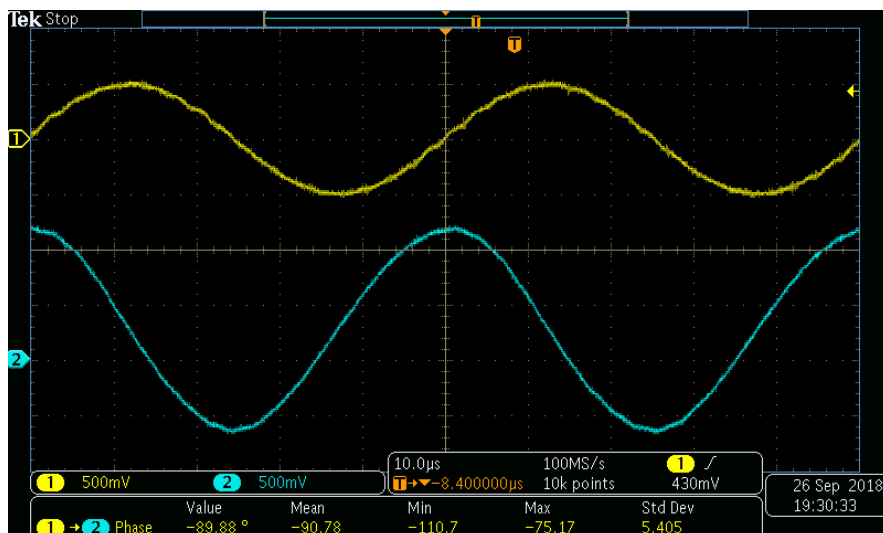


Figura 6.20 Señal de entrada al circuito (traza superior); Señal aplicada sobre la carga, salida del puente (traza inferior). Escalas de tensión: CH1 500 mV/DIV, CH2: 500 mV/DIV. Escala de tiempos: 10 μ s/DIV.

Dado que el filtro de salida es una LC con orden 2, el desfase obtenido entre estas dos señales debería ser de -90° para una frecuencia de entrada igual a la frecuencia de corte del filtro.

Para estimar esta frecuencia de corte se realizó la medida del desfase entre una señal con frecuencia conocida y la señal aplicada a la carga. Con un generador de funciones se aplicó una señal sinusoidal y variando únicamente su frecuencia se buscaron los -90° de desfase.

Tras hacer un barrido entorno a la frecuencia calculada en apartados anteriores (18,95 kHz), se obtuvo este desfase para una frecuencia en la entrada de 19,7 kHz.

Esta variación es debida, en gran parte, a las tolerancias presentadas en las bobinas y condensadores que conforman este filtro. Pese a esto, no se observa gran variación entre estas dos frecuencias siendo muy próximas entre ellas.

Una vez se obtuvo esta frecuencia, se comprobó el espectro obtenido en la salida para observar la atenuación de los armónicos añadidos durante la modulación:

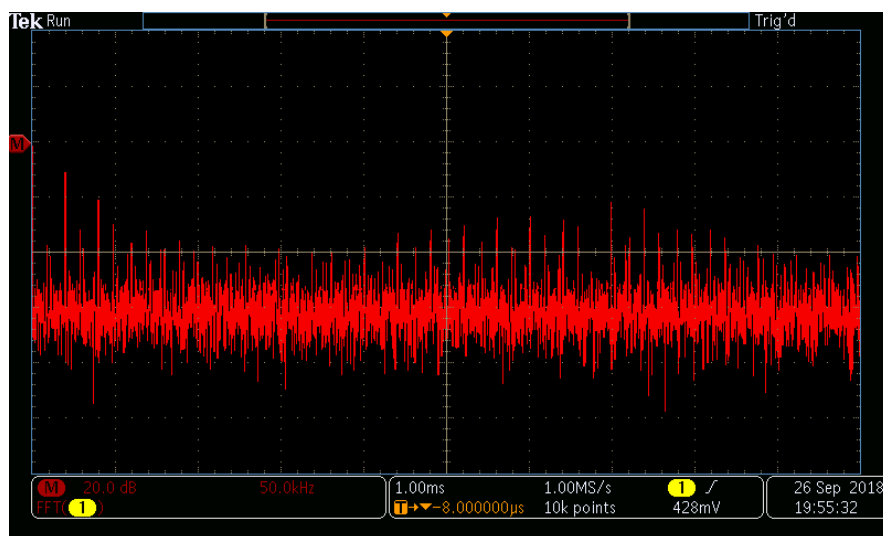


Figura 6.21 FFT de la señal obtenida en la salida de un medio puente, antes del filtrado. Escala de amplitudes: 20 dB/DIV. Escala de frecuencias: 50 kHz/DIV.

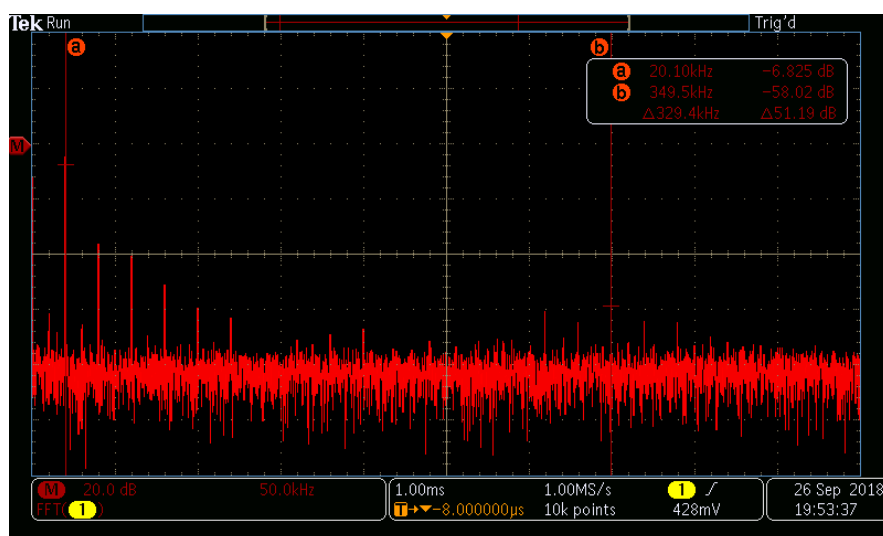


Figura 6.22 FFT de la señal de salida del circuito, después del filtrado. Escala de amplitudes: 20 dB/DIV. Escala de frecuencias: 50 kHz/DIV.

Estas dos figuras muestran la FFT de las señales presentes antes y después del filtro de salida. Para tomar estas capturas se ha definido como entrada una señal sinusoidal con una frecuencia de 20 kHz.

La Figura 6.21 muestra la FFT de la señal presente en el punto medio de un semipunto. Como se puede observar, dada la forma de onda cuadrada que presenta esta señal, la cantidad de armónicos es muy elevada. Pese a esto, se puede observar con claridad el armónico fundamental de la señal modulada a 20 kHz.

La Figura 6.22 muestra el espectro de la salida del amplificador. Una vez pasado el filtro, se puede observar como la amplitud de todos los armónicos añadidos tras la modulación han reducido su amplitud. Por otro lado, como marca el cursor A, el armónico fundamental de la sinusoidal de entrada sigue presente en el espectro.

Haciendo referencia a esta misma figura. Se puede observar con el cursor B un armónico a 350 kHz, siendo esta la frecuencia de conmutación del circuito. Pese a que el filtro se encuentre a más de una década por debajo de esta frecuencia, estos armónicos siguen presentes en la señal. Una explicación para esto son las EMI's radiadas por la conmutación de los transistores y que han afectan a la señal.

Por otro lado, se pueden observar armónicos cerca de la frecuencia donde solo debería estar el armónico fundamental de la sinusoidal. Su presencia se debe a la no-linealidad añadida por la etapa moduladora del circuito. Este efecto se puede apreciar también en la Figura 6.20 donde la forma en la señal no es completamente sinusoidal.

La solución a este efecto pasaría por aumentar la linealidad del sistema implementado un lazo de realimentación. Pese a esto, en caso de ser menor la frecuencia de la señal de entrada al circuito, se podría observar como la amplitud de estos armónicos disminuye.

7. Análisis del impacto ambiental

Este apartado describe el impacto medioambiental de la producción del prototipo diseñado.

Dadas las dimensiones físicas del sistema, se puede asegurar que este impacto será muy bajo. Por otro lado, todos los componentes y elementos usados cumplen la normativa RoHs (*Restriction of Hazardous substances*) para la cual, se regula la presencia de las siguientes sustancias muy contaminantes:

- Cadmio
- Cromo VI
- Mercurio
- PBB
- PBDE
- Plomo

Esta normativa que entró en vigor el 1 de julio de 2006, regula la presencia de un cierto porcentaje de estas sustancias en materiales homogéneos. Para el cromo VI, mercurio, PBB, PBDE y plomo, este porcentaje del 0,1%. Por otro lado, el porcentaje aplicado al cadmio es del 0,01%.

Como se ha comentado, estos porcentajes solo se aplica a materiales homogéneo. Dado que es posible separar todos los componentes seleccionados tales como, integrados, resistencias condensadores... Esta normativa no se aplica al conjunto sino a elementos discretos y homogéneos.

Por otro lado, esta normativa se aplica a equipos definidos por la directiva WEEE (*Waste Electrical and Electronic Equipment*) tales como:

- Aparatos electrónicos de consumo
- Aparatos de alumbrado, incluidas las bombillas de filamentos
- Equipos de comunicaciones e IT
- Electrodomésticos grandes
- Electrodomésticos pequeños
- Herramientas eléctricas y electrónicas
- Juguetes, equipos deportivos y de tiempo libre
- Máquinas expendedoras

Conclusiones

Una vez finalizado el proceso de estudio e implementación del diseño propuesto para el amplificador de audio en clase D se pueden extraer las siguientes conclusiones.

El objetivo principal del trabajo se puede considera alcanzado. La meta consistía, por una parte, en el estudio de esta clase de topologías y sus diferentes bloques, comprendiendo la teoría y el funcionamiento que hay detrás de cada etapa. Por otro lado, se ha realizado la implementación en PCB de todos los elementos diseñados y verificado su funcionamiento.

Pese a todo, el circuito puede ser mejorado en muchos aspectos y, en caso de ser diseñada la siguiente iteración del prototipo, se tendrían que considerar. Uno de estas mejoras es la implementación de un lazo de realimentación dado que, actual, el circuito funciona en lazo abierto. Este cambio implicaría una respuesta mucho mejor en lo que es la calidad del audio en la salida del amplificador. También, se han considerado insuficientes los conocimientos de las formas con las que implementar un circuito que genere tantas interferencias. El *layout* de un sistema que trabaje en conmutación lleva intrínsecamente normas y “recetas”, no escritas muchas de ellas, a tener en cuenta.

Por último, pero no menos importante. A nivel personal; si algo tengo claro después de todas las horas de estudio y diseño son la gran cantidad de campos que engloban a un amplificador de audio en clase D, todas las diferentes ramas de la electrónica y la teoría de control que pueden ser aplicadas e implementadas en un sistema tan exigente.

Presupuesto i/o Análisis Económico

Este apartado muestra el análisis del coste para la fabricación de este prototipo. Se realizará un desglose del coste por componente, elemento y herramienta empleados para obtener el circuito descrito a lo largo de este documento.

Puesto que se trata de un prototipo, el coste de su fabricación es mayor. En caso de ser producido a nivel industrial, este coste sería mucho menor.

La siguiente tabla muestra el desglose de todos los componentes electrónicos utilizados:

| Componente | Fabricante | Cantidad | Precio unidad | Descuento estudiante |
|-------------------|---------------------|----------|---------------|----------------------|
| IRS20957 | Infineon | 2 | 2,70 € | 0 € |
| AUIRFR8405 | Infineon | 4 | 1,58 € | 0 € |
| PCB | ALL-PCBs | 1 | 21 € | 0 € |
| LTC6992 | Linear Technology | 1 | 3,32 € | 3,32 € |
| SN74LVC1G00DBVT | Texas Instruments | 1 | 0,67 € | 0 € |
| 173010542 | Würth Elektronik | 1 | 9,25 € | 9,25 € |
| 171032401 | Würth Elektronik | 1 | 14,63 € | 14,62 € |
| LM386M-1 | Texas Instruments | 1 | 0,86 € | 0 € |
| LM4120 | Texas Instruments | 1 | 1,74 € | 0 € |
| BS250FTA | Diodes Incorporated | 2 | 0,525 € | 0 € |
| Conector Alim. | Molex | 2 | 0,15 € | 0 € |
| Jack-Socket 3,5mm | RS Components | 1 | 0,84 € | 0 € |
| Pin-Header | Würth Elektronik | 1 | 0,40 € | 0,40 € |
| DB2W60400L | Panasonic | 10 | 0,32 € | 0 € |
| Diodo US1A | Vishay | 2 | 0,25 € | 0 € |
| TVS 24 V | Littel Fuse | 1 | 0,32 € | 0 € |
| LED | Würth Elektronik | 5 | 0,20 € | 1,00 € |
| Diodo Zener18V | RS Components | 4 | 0,40 € | 0 € |
| Diodo Zener 3.3V | RS Components | 1 | 0,22 € | 0 € |
| FUSE | Littel Fuse | 1 | 0,11 € | 0,11 € |
| Poten. PRS11S | Bourns | 1 | 3,00 € | 0 € |
| R 4,7k ohm | RS Components | 6 | 0,02 € | 0 € |
| R 3,9k ohm | RS Components | 1 | 0,20 € | 0 € |
| R 15k ohm | RS Components | 1 | 0,20 € | 0 € |

| | | | | |
|-----------------------------|------------------|----------------|--------|---------|
| R 2k ohm | RS Components | 2 | 0,02 € | 0 € |
| R 10k ohm | RS Components | 12 | 0,02 € | 0 € |
| R 150k ohm | RS Components | 1 | 0,02 € | 0 € |
| R 232k ohm | RS Components | 1 | 0,20 € | 0 € |
| R 34,8k ohm | RS Components | 1 | 0,30 € | 0 € |
| R 2,49k ohm | RS Components | 1 | 0,40 € | 0 € |
| R 50k ohm | RS Components | 1 | 0,02 € | 0 € |
| R 6,8k ohm | RS Components | 2 | 0,02 € | 0 € |
| R 10 ohm | RS Components | 4 | 0,02 € | 0 € |
| R 0 ohm | RS Components | 5 | 0,01 € | 0 € |
| L 47 uH | Würth Elektronik | 2 | 6,27 € | 12,54 € |
| L 22 uH | Würth Elektronik | 1 | 1,60 € | 1,60 € |
| L 3,3 uH | Würth Elektronik | 1 | 1,54 € | 1,54 € |
| C 100 nF | Würth Elektronik | 17 | 0,40 € | 6,80 € |
| C 10 µF | Würth Elektronik | 18 | 0,45 € | 8,1 € |
| C120 nF | Würth Elektronik | 2 | 0,37 € | 0,74 € |
| C 680 nF | Würth Elektronik | 1 | 0,84 € | 0,84 € |
| C 22 nF | Würth Elektronik | 2 | 0,19 € | 0,36 € |
| C 4,7 nF | Würth Elektronik | 1 | 0,11 € | 0,11 € |
| Precio total a pagar | | 48,94 € | | |

Como se puede observar, el coste de fabricación del prototipo es de 48,94 € dado que algunos componentes han podido ser adquiridos por medio de muestras gratuitas al ser estudiante. En caso contrario, el coste total ascendería a 110,30 €.

Por otro lado, para la realización de ciertas partes ha sido necesaria la ayuda de *software*. La siguiente tabla recoge el coste de estas licencias:

| Software | Precio licencia |
|-----------------------------|------------------------|
| Target 3001! | 3600 € |
| Matlab (versión estudiante) | 69 € |

El coste total en licencias asciende a 3.669 €. Puesto a que el coste relacionado con estas herramientas no se aplica únicamente a este proyecto, sino que, se aplica a todos los próximos trabajos que necesiten de su uso. Se ha supuesto que durante un año se realizan al menos 6 proyectos que necesiten de estas licencias, dividiendo el precio entre estos 6. El coste sería entonces de 611,5 € por proyecto.

Tras estimar el precio de los componentes, se ha calculado el precio por horas durante las fases de diseño del prototipo:

| Actividad realizada | Horas | Precio/hora | Total |
|--------------------------|---------------|-------------|--------|
| Diseño | 570 | 15 | 8550 € |
| Soldadura | 15 | 9 | 135 € |
| Pruebas y puesta a punto | 90 | 12 | 1080 € |
| Precio total | 9765 € | | |

La estimación del precio por hora de trabajo se ha realizado cogiendo el sueldo medio de un ingeniero junior. Este sueldo ronda los 24.000 € al año, obteniendo un precio la hora de 12,5 € para una jornada de 8 horas semanales.

Por último, se ha decidido añadir un 5% en lo referente a costes tales como el transporte, la luz gastada durante las horas en el laboratorio...

Tras hacer el desglose de todos los componentes, herramientas y horas de trabajo, el coste total del proyecto es de 11.011,14 €. Aplicando los descuentos comentados anteriormente, el precio se establece en 10.338,28 € dado que se considera la posibilidad de obtener componentes y licencias para poder realizar el proyecto.

Bibliografía

1. Mart, H. Etapas de salida y amplificadores de potencia. En: . 2013, no. February 2013, p. 1-92.
2. Honda, J. y Adams, J. Class D Audio Amplifier Basics. En: *International Rectifier Application Note AN-...* [en línea]. 2005, p. 1-14. Disponible en: http://data.eefocus.com/08-03/27_1204618041/File/1205141140.pdf.
3. Gong, X. a Digital Audio Amplifier Using Pulse Width Modulation for Portable. En: [en línea]. 2007, vol. 53, no. 9, p. 1-127. Disponible en: http://etd.fcla.edu/UF/UFE0018620/gong_x.pdf.
4. Introduction, A. Class D Audio Amplifier Design. En: . 2003,
5. Rectifier, I. Class D Amplifier Design Basics II. En: . 2009,
6. Ferraina, B.M. Application note AN-1144 - IRS20957S Functional Description. En: . 2000, no. April 2015, p. 1-18.
7. Incorporated, T.I. Texas Instruments Incorporated - Second-Stage LC Filter Design. En: *Texas Instruments Incorporated* [en línea]. 2000, no. July, p. 8-10. Disponible en: <http://www.ti.com/lit/an/slaa701a/slaa701a.pdf>.
8. Morey, B., Vasudeva, R. y Woloschin, I. Class D Audio Amplifier - The design of a live audio Class D audio amplifier with greater than 90% efficiency and less than 1% distortion. En: *International Rectifier Application Note AN-...* [en línea]. 2005, no. May, p. 1-148. Disponible en: http://data.eefocus.com/08-03/27_1204618041/File/1205141140.pdf.
9. Linear Technology Corporation. LTC6992-1/-2/-3/-4 - TimerBlox: Voltage-Controlled Pulse Width Modulator (PWM). En: *Data Sheet*. 2010, p. 1-34.
10. Würth Elektronik. MagI³C Power Module MagI³C Power Module VDRM - Variable Step Down Regulator Module. En: . 2015, no. March, p. 1-31.
11. Würth Elektronik. MagI 3 C Power Module FDSM – Fixed Step Down Regulator Module. En: . 2016, no. June, p. 1-24.
12. Honda, J. y Huang, C. Application Note AN-1135 - PCB Layout with IR Class D Audio Gate Drivers. En: . p. 1-18.
13. Design, P.B. IPC-2221. En: [en línea]. 1998, no. September 1991, p. 1-123. Disponible en: <http://ch00fttech.com/wp-content/uploads/2016/12/IPC-2221-2.pdf>.

Anexo A

A1. Cálculos: Integrado de alimentación

Este anexo recoge los cálculos realizados para definir los parámetros de funcionamiento el integrado 171032401, *Variable Step Down Regulator*. El proceso seguido para estos cálculos se encuentra detallado en el *datasheet* del fabricante, (10).

Como muestra la Figura 4.24, los componentes conectados a los extremos del integrado presentan un número el cual, indica el camino seguido por el siguiente procedimiento de cálculos.

- **Output voltage (R_{FBT} y R_{FBB})**

La siguiente ecuación relaciona la tensión fijada en la salida del componente con un el divisor de tensión formado por R_{FBT} y R_{FBB} :

$$V_{out} = \left(1 + \frac{R_{FBT}}{R_{FBB}}\right) \cdot 0,8 \quad (\text{Eq.A3.1})$$

Puesto que la salida será de 12 V y fijando R_{FBB} a 2,49 k Ω , se puede obtener el valor para R_{FBT} :

$$R_{FBT} = 14 \cdot 2,49 \cdot 10^3 = 34,84 \text{ k}\Omega$$

Estandarizando los valores a la serie E-96 se obtienen: $R_{FBT} = 34,8 \text{ k}\Omega \text{ } 1\%$, $R_{FBB} = 2,49 \text{ k}\Omega \text{ } 1\%$.

- **On-Time (R_{ON})**

El cálculo de esta resistencia comienza por definir el valor de $f_{SW(CCM)}$. Esta define la frecuencia de conmutación en modo de conducción continuo del componente. Para este caso, se decidió definir esta en 400 kHz:

$$R_{ON} = \frac{V_{OUT}}{1,3 \cdot 10^{-10} \cdot f_{SW(CCM)}} \quad (\text{Eq.A3.2})$$

$$R_{ON} = \frac{12}{1,3 \cdot 10^{-10} \cdot 400 \cdot 10^3} = 230,77 \text{ k}\Omega$$

Una vez definido este valor, se obtuvo el valor mínimo de esta resistencia, en caso de ser menor, la frecuencia de conmutación debe bajar:

$$R_{ON} > \frac{V_{IN \text{ MAX}} \cdot 150 \text{ ns}}{1,3 \cdot 10^{-10}} \quad (\text{Eq.A3.3})$$

$$R_{ON} > \frac{24 \cdot 150 \cdot 10^{-9}}{1,3 \cdot 10^{-10}} = 27,69 \text{ k}\Omega$$

El valor máximo de entrada al circuito se ha considerado 24 V dado que para valores mayores el diodo TVS seleccionado cortará la tensión de entrada a la placa.

Como se puede observar el valor de R_{ON} obtenido en la primera ecuación es mucho mayor al mínimo. Por lo tanto, normalizando a la E-96, se define $R_{ON} = 232 \text{ k}\Omega$ 1%.

- **Input Capacitor (C_{IN})**

Como indica su nombre, este condensador es el colocado en la entrada del integrado para estabilizar la tensión de entrada y entregar el corriente necesario en su salida.

El proceso de cálculo comienza determinando el valor de corriente eficaz que se espera en la entrada. Para la corriente de salida, se ha decidido definir esta en 1,3 A dados los picos de corrientes presente durante las conmutaciones del driver:

$$I_{(Cin \text{ RMS})} \cong \frac{1}{2} \cdot I_{OUT} \cdot \sqrt{\frac{D}{(1-D)}}; D = \frac{V_{OUT}}{V_{IN}} \quad (\text{Eq.A3.4})$$

Sustituyendo valores se obtiene y suponiendo un funcionamiento a plena carga se obtiene:

$$I_{(Cin\ RMS)} \cong \frac{1}{2} \cdot 1,3 \cdot 1 = 0,65\ A$$

Una vez obtenido este valor, se ha calculado el valor mínimo para este condensador de entrada:

$$C_{IN} > \frac{I_{OUT} \cdot D(1-D)}{f_{SW\ (CCM)} \cdot \Delta V_{IN}} \quad (\text{Eq.A3.5})$$

$$C_{IN} > \frac{1,3 \cdot 0,5 \cdot (0,5)}{400 \cdot 10^3 \cdot 0,240} = 3,38\ \mu F$$

Por recomendación del fabricante y dado el filtro seleccionada para la alimentación de entrada se ha definido $C_{IN} = 10\ \mu F$.

- **Output Capacitor (C_{OUT})**

Al igual que para la entrada, el fabricante recomienda la implementación de un condensador en la salida para estabilizar la tensión de esta. La siguiente ecuación define el valor mínimo de este condensador. Como se puede observar, en este cálculo se considera el valor de la bobina integrada en el componente, L y la tensión en el lazo de realimentación del componente:

$$C_{OUT} \geq \frac{I_{OUT-SETP} \cdot V_{FB} \cdot L \cdot V_{IN}}{4 \cdot V_{OUT} \cdot (V_{IN} - V_{OUT}) \cdot V_{OUT-TRAN}} \quad (\text{Eq.A3.6})$$

$$C_{OUT} \geq \frac{1,3 \cdot 0,8 \cdot 10 \cdot 10^{-6} \cdot 24}{4 \cdot 12 \cdot (12) \cdot 50 \cdot 10^{-3}} = 8,67\ \mu F$$

Se ha definido $C_{OUT} = 10\ \mu F$. Al igual que con el condensador de entrada, se han colocado varios condensadores cerámicos en paralelo.

- **Soft-start Capacitor (C_{SS})**

El condensador de *soft-start* permite definir el tiempo del transitorio de encendido y no generar picos de corriente una vez se alimente la placa. La siguiente ecuación permite obtener el valor de este condensador para un tiempo deseado t_{SS} en milisegundos.

$$C_{SS} = t_{SS} \cdot \frac{8\ \mu A}{0,8\ V} \quad (\text{Eq.A3.7})$$

El fabricante recomienda que este valor sea como mínimo de 0,5 ms, lo que implica un condensador de 4,7 nF. Se ha definido $C_{SS} = 4,7$ nF.

- **Feed Forward Capacitor (C_{FF})**

Este condensador sirve de *bypass* para reducir el rizado de la tensión en el lazo de realimentación del componente. El fabricante recomienda un valor de 22 nF obtenido experimentalmente. Se ha definido $C_{FF} = 22$ nF.

- **Select Enable Divisor**

Por último, el integrado incorpora un puerto de *enable* con el cual se puede hacer caer a cero la tensión en su salida. Para marcar la tensión en esta entrada, se propone aplicar la siguiente ecuación, donde V_{UVLO} , es el rango de tensiones para las cuales el integrado se encuentra encendido. Por otro lado, R_{EN1} y R_{EN2} son el valor de las resistencias en un divisor de tensión que fija este valor de *enable*:

$$\frac{R_{EN1}}{R_{EN2}} = \frac{V_{UVLO}}{1,18 V} - 1 ; 1,18 V < V_{UVLO} < 6,5 V \quad (\text{Eq.A3.8})$$

Para definir esta tensión de *enable* se definió $R_{EN2} = 150$ k Ω 1% y aplicando la ecuación de un divisor de tensión para una entrada de 24 V al integrado, se definió $R_{EN1} = 36$ k Ω 1%.

La Figura 4.26 muestra el esquema final implementado en la PCB. Como se puede observar, los valores de las resistencias hacen referencia a las obtenidas durante los últimos apartados de cálculo.

Por último, se aplicó un filtro LC en la entrada de alimentación procedente del conector principal. El objetivo de este filtro es el de intentar atenuar las posibles EMI's conducidas e inyectadas por las líneas de alimentación en forma de corrientes con alta frecuencia.

Como muestra la siguiente imagen obtenida de la Figura 4.26, el filtro está formado por una serie de condensadores a la izquierda de la bobina formando un filtro LC:

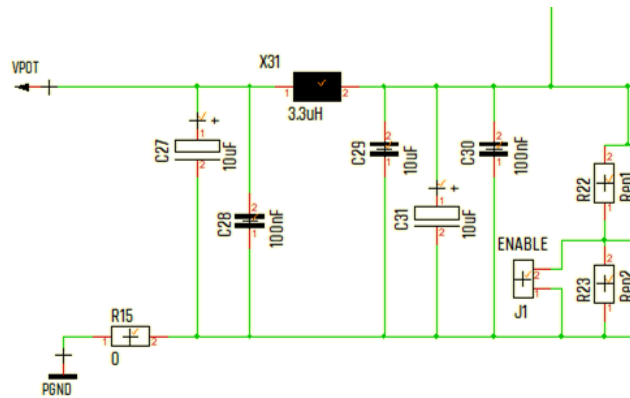


Figura A3.1 Esquema del filtro LC para el filtrado de la alimentación.

Para el cálculo de los componentes, se ha definido el valor de la bobina, L_F , a $3,3 \mu\text{H}$ y el de la frecuencia de corte f_c una década por debajo de la frecuencia de conmutación calculada anteriormente (400 kHz).

La ecuación aplicada es la siguiente:

$$f_c = \frac{1}{2 \cdot \pi \cdot \sqrt{L_F \cdot C_F}} \quad (\text{Eq.A3.9})$$

Despejando C_F y sustituyendo valores se obtiene:

$$C_F = \frac{1}{(2 \cdot \pi \cdot 0.1 \cdot 400 \cdot 10^3)^2 \cdot 3,3 \cdot 10^{-6}} = 4,79 \mu\text{F}$$

Con tal de estandarizar un el valor de todos los condensadores en la placa, se ha definido $C_F = 10 \mu\text{F}$, obteniendo una frecuencia de corte de $27,70 \text{ kHz}$. También, se ha decidido incluir un condensador de menor valor y cerámico en paralelo con este para reducir las variaciones rápidas de corrientes a altas frecuencias.

Por otro lado, se han puesto condensadores a la derecha de la bobina, en la entada del integrado. Estos condensadores realizan la función de *damping* para intentar aplanar un poco más los transitorios de entrada.

A2. Código Matlab para el graficado de pérdidas en transistores MOSFET

Las siguientes líneas de código forman parte del *script* de Matlab utilizado para la obtención de las gráficas de potencia disipada por parte de los diferentes transistores seleccionados:

```
close all;
clear;
clc;

%% GRÁFICA DE EFICIENCIAS EN MOSFETS
% TANDA 1
figure;
% Rango de frecuencias
fSW = 40000:10:5000000;

% Parametros del circuito
rLoad = 8;           % Resistencia de la carga
Vbus = 26;           % Tensión del puente
iOut = 3.25;         % Corriente por el puente (RMS)
vDriver = 12;        % Tensión de conducción

hold all;

%-----
% MOSFET: IPT007N06N
Rds = 0.75*10^-3;
ton = 38*10^-9;
toff = 76*10^-9;
Coss = 4522*10^-12;
Qrr = 144*10^-9;
Qg = 287*10^-9;
Vt = 2.8;
K = iOut/(vDriver-Vt)^2;

% Perdidas CONDUCCIÓN
PDconduccion = ones(size(fSW)).*Rds.*(iOut.^2);
% Perdidas CONMUTACIÓN
PDswitch = [0.5*iOut*Vbus*(ton + toff).*fSW] + [0.5*Coss*Vbus^2.*fSW] +
[K*0.5*Qrr*Vbus.*fSW];
% Perdidas CONDENSADOR DE PUERTA
PDCgs = fSW.*Qg.*vDriver.*2;

% Perdida TOTAL
PDtotal = PDconduccion + PDswitch + PDCgs;

% PLOT FUNCTION
loglog(fSW, PDtotal);
grid on;

%-----
```

```
% MOSFET: IPT012N06N
Rds = 1.2*10^-3;
ton = 16*10^-9;
toff = 48*10^-9;
Coss = 2250*10^-12;
Qrr = 474*10^-9;
Qg = 124*10^-9;
Vt = 2.8;
K = iOut/(vDriver-Vt)^2;

% Perdidas CONDUCCIÓN
PDconduccion = ones(size(fSW)).*Rds.*(iOut.^2);
% Perdidas CONMUTACIÓN
PDswitch = [0.5*iOut*Vbus*(ton + toff).*fSW] + [0.5*Coss*Vbus^2.*fSW] +
[K*0.5*Qrr*Vbus.*fSW];
% Perdidas CONDENSADOR DE PUERTA
PDCgs = fSW.*Qg.*vDriver.*2;

% Perdida TOTAL
PDtotal = PDconduccion + PDswitch + PDCgs;

% PLOT FUNCTION
loglog(fSW, PDtotal);
grid on;

%-----
% MOSFET: IRFS7430
Rds = 0.75*10^-3;
ton = 28*10^-9;
toff = 161*10^-9;
Coss = 2140*10^-12;
Qrr = 72*10^-9;
Qg = 460*10^-9;
Vt = 3;
K = iOut/(vDriver-Vt)^2;

% Perdidas CONDUCCIÓN
PDconduccion = ones(size(fSW)).*Rds.*(iOut.^2);
% Perdidas CONMUTACIÓN
PDswitch = [0.5*iOut*Vbus*(ton + toff).*fSW] + [0.5*Coss*Vbus^2.*fSW] +
[K*0.5*Qrr*Vbus.*fSW];
% Perdidas CONDENSADOR DE PUERTA
PDCgs = fSW.*Qg.*vDriver.*2;

% Perdida TOTAL
PDtotal = PDconduccion + PDswitch + PDCgs;

% PLOT FUNCTION
loglog(fSW, PDtotal);
grid on;

%-----
% MOSFET: IRFR7440
Rds = 2.4*10^-3;
ton = 11*10^-9;
toff = 51*10^-9;
```

```

Coss = 690*10^-12;
Qrr = 34*10^-9;
Qg = 134*10^-9;
Vt = 3;
K = iOut/(vDriver-Vt)^2;

% Perdidas CONDUCCIÓN
PDconduccion = ones(size(fSW)).*Rds.*(iOut.^2);
% Perdidas CONMUTACIÓN
PDswitch = [0.5*iOut*Vbus*(ton + toff).*fSW] + [0.5*Coss*Vbus^2.*fSW] +
[K*0.5*Qrr*Vbus.*fSW];
% Perdidas CONDENSADOR DE PUERTA
PDcgs = fSW.*Qg.*vDriver.^2;

% Perdida TOTAL
PDtotal = PDconduccion + PDswitch + PDcgs;

% PLOT FUNCTION
loglog(fSW, PDtotal);
grid on;

%-----
% MOSFET: IRFS7437
Rds = 1.8*10^-3;
ton = 19*10^-9;
toff = 78*10^-9;
Coss = 1095*10^-12;
Qrr = 25*10^-9;
Qg = 225*10^-9;
Vt = 3;
K = iOut/(vDriver-Vt)^2;

% Perdidas CONDUCCIÓN
PDconduccion = ones(size(fSW)).*Rds.*(iOut.^2);
% Perdidas CONMUTACIÓN
PDswitch = [0.5*iOut*Vbus*(ton + toff).*fSW] + [0.5*Coss*Vbus^2.*fSW] +
[K*0.5*Qrr*Vbus.*fSW];
% Perdidas CONDENSADOR DE PUERTA
PDcgs = fSW.*Qg.*vDriver.^2;

% Perdida TOTAL
PDtotal = PDconduccion + PDswitch + PDcgs;

% PLOT FUNCTION
loglog(fSW, PDtotal);
grid on;

%-----
% MOSFET: IRFS7530
Rds = 1.4*10^-3;
ton = 24*10^-9;
toff = 168*10^-9;
Coss = 1260*10^-12;
Qrr = 83*10^-9;
Qg = 354*10^-9;
Vt = 3.7;

```

```
K = iOut/(vDriver-Vt)^2;

% Perdidas CONDUCCIÓN
PDconduccion = ones(size(fSW)).*Rds.*(iOut.^2);
% Perdidas CONMUTACIÓN
PDswitch = [0.5*iOut*Vbus*(ton + toff).*fSW] + [0.5*Coss*Vbus^2.*fSW] +
[K*0.5*Qrr*Vbus.*fSW];
% Perdidas CONDENSADOR DE PUERTA
PDCgs = fSW.*Qg.*vDriver.^2;

% Perdida TOTAL
PDtotal = PDconduccion + PDswitch + PDCgs;

% PLOT FUNCTION
loglog(fSW, PDtotal);
grid on;

%-----
% FINAL
legend
('IPT007N06N','IPT012N06N','IRFS7430','IRFR7440','IRFS7437','IRFS7530')
hold off;

%% GRÁFICA DE EFICIENCIAS EN MOSFETS
% TANDA 2

figure;
% Rango de frecuencias
fSW = 40000:10:5000000;

% Parametros del circuito
rLoad = 8; % Resistencia de la carga
Vbus = 26; % Tensión del puente
iOut = 3.25; % Corriente por el puente (RMS)
vDriver = 12; % Tensión de conducción

hold all;
%-----
% MOSFET: AU1RF2804
Rds = 2*10^-3;
ton = 13*10^-9;
toff = 130*10^-9;
Coss = 1690*10^-12;
Qrr = 100*10^-9;
Qg = 240*10^-9;
Vt = 3;
K = iOut/(vDriver-Vt)^2;

% Perdidas CONDUCCIÓN
PDconduccion = ones(size(fSW)).*Rds.*(iOut.^2);
% Perdidas CONMUTACIÓN
PDswitch = [0.5*iOut*Vbus*(ton + toff).*fSW] + [0.5*Coss*Vbus^2.*fSW] +
[K*0.5*Qrr*Vbus.*fSW];
% Perdidas CONDENSADOR DE PUERTA
PDCgs = fSW.*Qg.*vDriver.^2;
```

```
% Perdida TOTAL
PDtotal = PDconduccion + PDswitch + PDCgs;

% PLOT FUNCTION
loglog(fSW, PDtotal);
grid on;

%-----
% MOSFET: AUIRF8405
Rds = 1.98*10^-3;
ton = 12*10^-9;
toff = 51*10^-9;
Coss = 770*10^-12;
Qrr = 20*10^-9;
Qg = 155*10^-9;
Vt = 3;
K = iOut/(vDriver-Vt)^2;

% Perdidas CONDUCCIÓN
PDconduccion = ones(size(fSW)).*Rds.*(iOut.^2);
% Perdidas CONMUTACIÓN
PDswitch = [0.5*iOut*Vbus*(ton + toff).*fSW] + [0.5*Coss*Vbus^2.*fSW] +
[K*0.5*Qrr*Vbus.*fSW];
% Perdidas CONDENSADOR DE PUERTA
PDCgs = fSW.*Qg.*vDriver.^2;

% Perdida TOTAL
PDtotal = PDconduccion + PDswitch + PDCgs;

% PLOT FUNCTION
loglog(fSW, PDtotal);
grid on;

%-----
% MOSFET: AUIRFS8407
Rds = 1.8*10^-3;
ton = 19*10^-9;
toff = 51*10^-9;
Coss = 1095*10^-12;
Qrr = 25*10^-9;
Qg = 225*10^-9;
Vt = 3;
K = iOut/(vDriver-Vt)^2;

% Perdidas CONDUCCIÓN
PDconduccion = ones(size(fSW)).*Rds.*(iOut.^2);
% Perdidas CONMUTACIÓN
PDswitch = [0.5*iOut*Vbus*(ton + toff).*fSW] + [0.5*Coss*Vbus^2.*fSW] +
[K*0.5*Qrr*Vbus.*fSW];
% Perdidas CONDENSADOR DE PUERTA
PDCgs = fSW.*Qg.*vDriver.^2;

% Perdida TOTAL
PDtotal = PDconduccion + PDswitch + PDCgs;

% PLOT FUNCTION
```

```
loglog(fSW, PDtotal);
grid on;

%-----
% MOSFET: AUIRFS8409
Rds = 1.2*10^-3;
ton = 32*10^-9;
toff = 160*10^-9;
Coss = 2130*10^-12;
Qrr = 97*10^-9;
Qg = 450*10^-9;
Vt = 3;
K = iOut/(vDriver-Vt)^2;

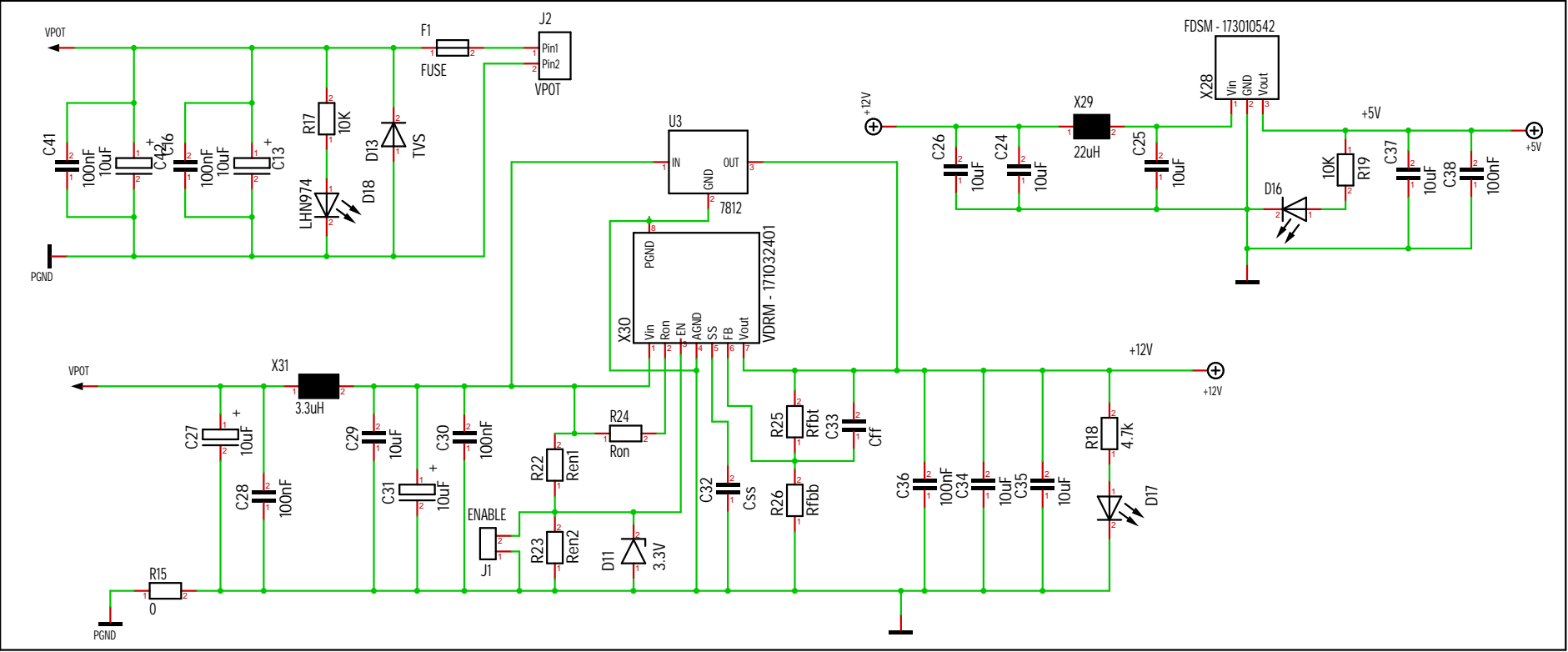
% Perdidas CONDUCCIÓN
PDconduccion = ones(size(fSW)).*Rds.*(iOut.^2);
% Perdidas CONMUTACIÓN
PDswitch = [0.5*iOut*Vbus*(ton + toff).*fSW] + [0.5*Coss*Vbus^2.*fSW] +
[K*0.5*Qrr*Vbus.*fSW];
% Perdidas CONDENSADOR DE PUERTA
PDCgs = fSW.*Qg.*vDriver.^2;

% Perdida TOTAL
PDtotal = PDconduccion + PDswitch + PDCgs;

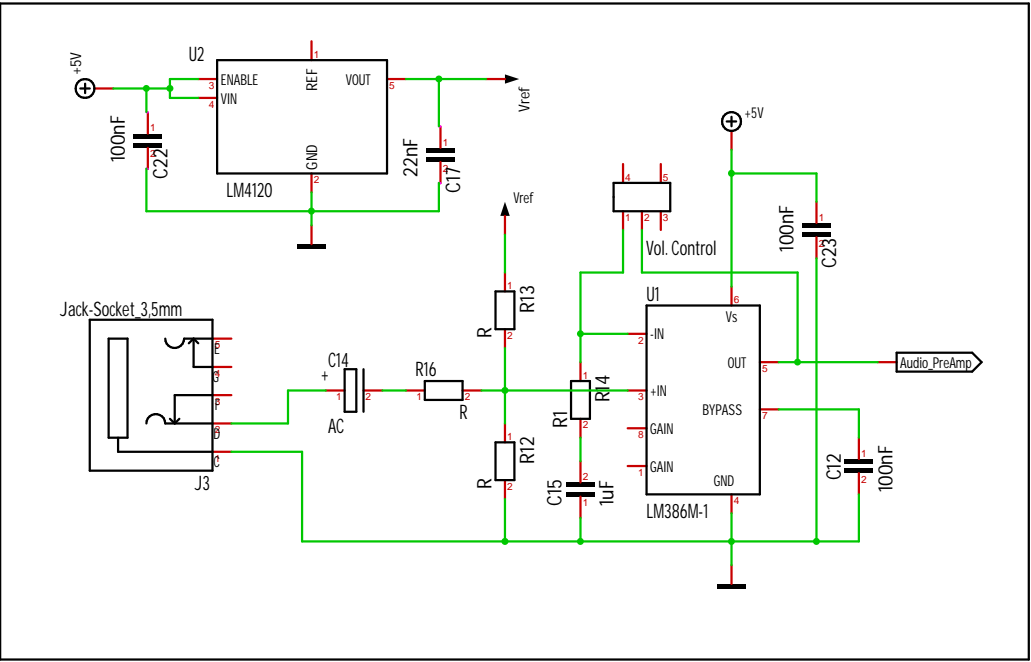
% PLOT FUNCTION
loglog(fSW, PDtotal);
grid on;
%-----
% FINAL
legend ('AUIRF2804', 'AUIR8405', 'AUIRFS8407', 'AUIRFS8409')
hold off;
```

A3. Esquemático de la PCB

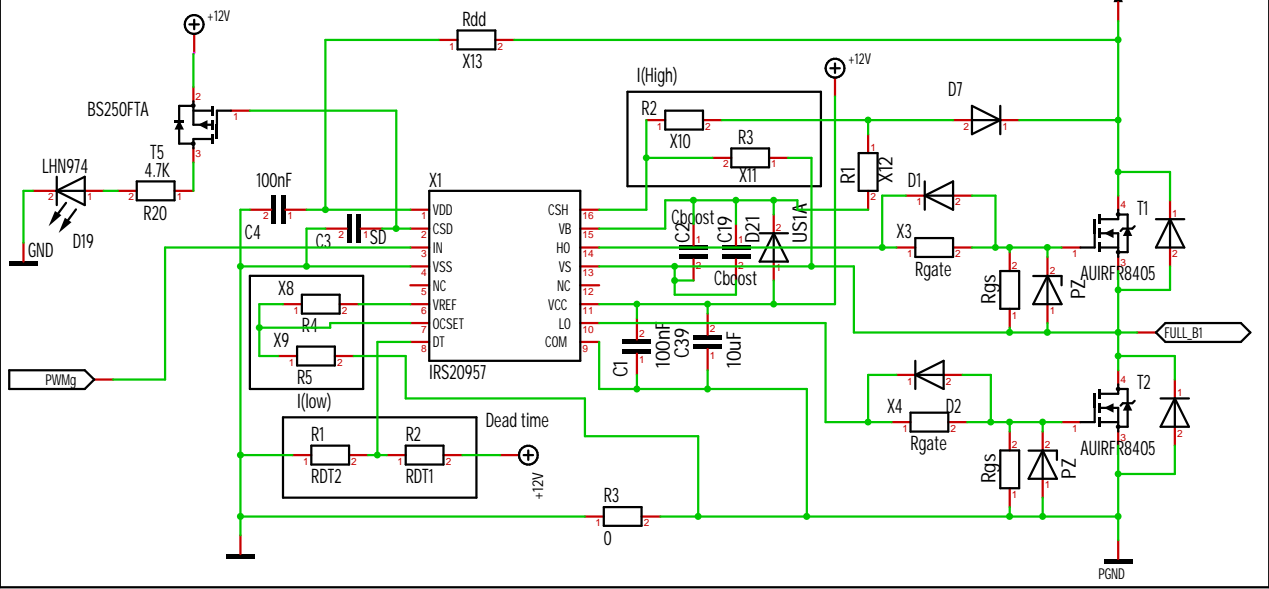
Loltage Supply



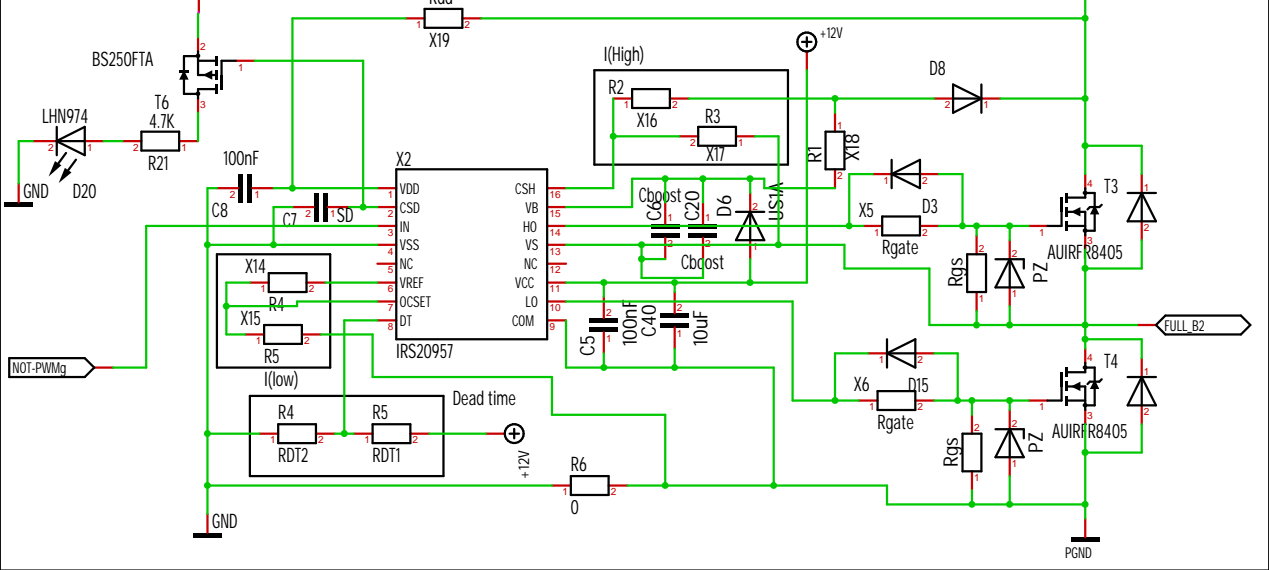
Pre. Amplification



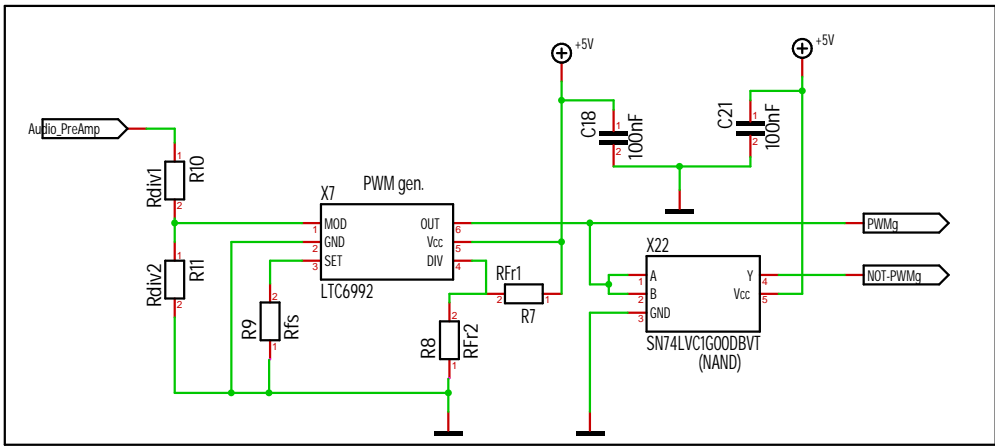
Driver 1



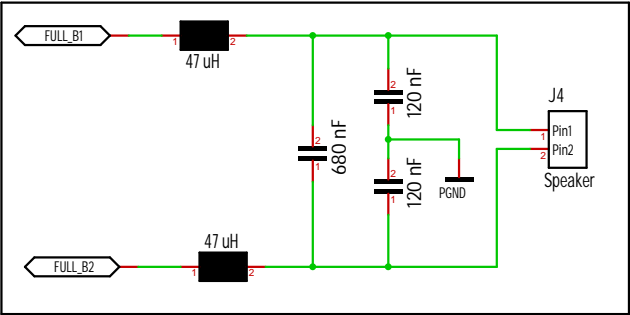
Driver 2



PWM gen.



Filter+Speaker



| | | | |
|---------------------------------|-----------------|--------------|--|
| Title: Class D audio amplifier | | | |
| Size: A3 | Sheet 1 of 1 | Version: 1.4 | |
| Drawn: Óscar Jiménez Torrejón | Date: 5.7.2018 | | |
| Checked: Óscar Jiménez Torrejón | Date: 27.8.2018 | | |
| UPC - EEBE | | | |